

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

**THIS PAGE BLANK (USPTO)**

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2001 年 1 月 25 日 (25.01.2001)

PCT

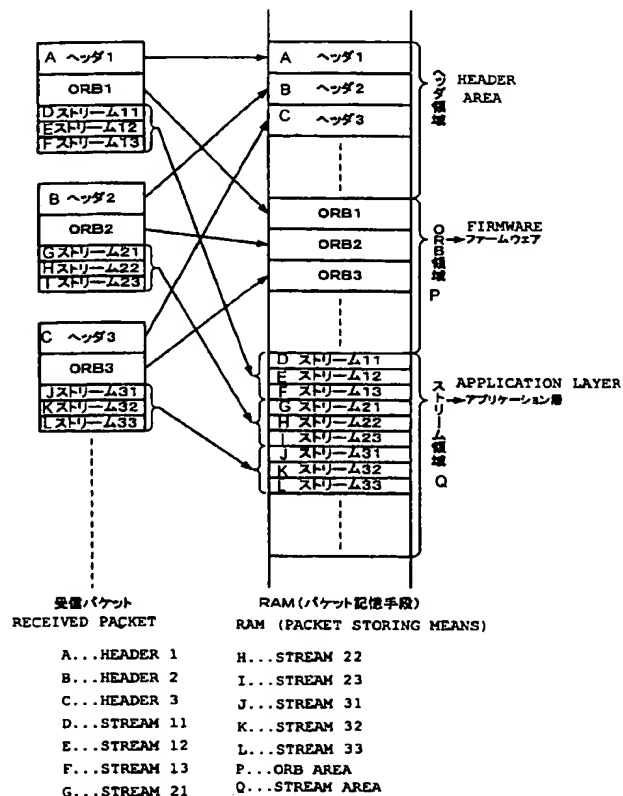
(10) 国際公開番号  
WO 01/06722 A1

- (51) 国際特許分類<sup>7</sup>: H04L 13/08, G06F 13/00
- (21) 国際出願番号: PCT/JP00/04639
- (22) 国際出願日: 2000 年 7 月 12 日 (12.07.2000)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願平11/201250 1999 年 7 月 15 日 (15.07.1999) JP
- (71) 出願人 (米国を除く全ての指定国について): セイコーエプソン株式会社 (SEIKO EPSON CORPORATION) [JP/JP]; 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 石田卓也 (ISHIDA, Takuya) [JP/JP]. 神原義幸 (KAMIHARA, Yoshiyuki) [JP/JP]; 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano (JP).
- (74) 代理人: 井上 一, 外 (INOUE, Hajime et al.); 〒167-0051 東京都杉並区荻窪5丁目26番13号 荻窪TMビル2階 Tokyo (JP).
- (81) 指定国 (国内): CN, KR, US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

[続葉有]

(54) Title: DATA TRANSFER CONTROL DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称: データ転送制御装置及び電子機器



(57) Abstract: A data transfer control device capable of reducing a firmware processing overhead and implementing a fast data transfer, and an electronic apparatus. An IEEE-1394-standard data transfer control device, wherein the header of a packet is written in a header area, the ORB (SBP-2 data) of a packet in an ORB area, and the stream (application layer data) of a packet in a stream area. In the stream area, hardware performs an area management by means of a full signal and an empty signal. Instruction information is included in the transaction label (tl) of a requested packet, and a packet header, ORB and stream of a packet are written in an area designated by means of designation information contained in tl when a response packet is received. Registers (TSR, TER) for storing addresses (TS, TE) for ensuring a transmission area in a stream area, and registers (RSR, RER) for storing addresses (RS, RE) for ensuring a reception area are provided.

[続葉有]

WO 01/06722 A1



添付公開書類:  
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

(57) 要約:

ファームウェアの処理のオーバーヘッドを軽減し、高速なデータ転送を実現できるデータ転送制御装置及び電子機器を提供することが目的である。IEEE 1394規格のデータ転送制御装置において、パケットのヘッダをヘッダ領域に、パケットのORB (SBP-2用データ) をORB領域に、パケットのストリーム (アプリケーション層用データ) をストリーム領域に書き込む。ストリーム領域では、フル信号、エンプティ信号によりハードウェアで領域管理を行う。要求パケットのトランザクションラベル $t_1$ に指示情報を含ませ、応答パケットの受信時に、 $t_1$ が含む指示情報により指示される領域にパケットのヘッダ、ORB、ストリームを書き込む。ストリーム領域に送信領域を確保するためのアドレスTS、TEを記憶するレジスタTSR、TERや、受信領域を確保するためのアドレスRS、REを記憶するレジスタRSR、RERを設ける。

## 明 細 書

## データ転送制御装置及び電子機器

## 5 [技術分野]

本発明は、データ転送制御装置及びこれを含む電子機器に関し、特に、バスに接続される複数のノード間でIEEE 1394などの規格に準じたデータ転送を行うデータ転送制御装置及びこれを含む電子機器に関する。

## 10 [背景技術]

近年、IEEE 1394と呼ばれるインターフェース規格が脚光を浴びている。このIEEE 1394は、次世代のマルチメディアにも対応可能な高速シリアルバスインターフェースを規格化したものである。このIEEE 1394によれば、動画像などのリアルタイム性が要求されるデータも扱うことができる。また、IEEE 1394のバスには、プリンタ、スキャナ、CD-RWドライブ、ハードディスクドライブなどのコンピュータの周辺機器のみならず、ビデオカメラ、VTR、TVなどの家庭用電化製品も接続できる。このため、電子機器のデジタル化を飛躍的に促進できるものとして期待されている。

しかしながら、このIEEE 1394に準拠したデータ転送制御装置には次のような課題があることが判明した。

即ち、現在のIEEE 1394規格によれば最大で400Mbpsの転送速度が実現可能となっている。しかし、現実には、処理のオーバーヘッドの存在に起因して、システム全体の実転送速度はこれよりもかなり低くなっている。つまり、CPU上で動作するファームウェアやアプリケーションソフトウェアが、送信データを準備したり、受信データを取り込んだりするなどの処理に多くの時間を要してしまい、バス上での転送速度が速くても、結局、高速なデータ転送を実現できない。

特に、周辺機器に組み込まれるCPUは、パーソナルコンピュータなどのホ  
ストシステムに組み込まれるCPUに比べて処理能力が低い。このため、ファ  
ームウェア等の処理のオーバーヘッドの問題は、非常に深刻なものとなる。従  
って、このようなオーバーヘッドの問題を効果的に解消できる技術が望まれて  
5 いる。

#### [発明の開示]

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的  
とするところは、ファームウェア等の処理のオーバーヘッドを軽減し、小規模  
10 なハードウェアで高速なデータ転送を実現できるデータ転送制御装置及びこれ  
が用いられる電子機器を提供することにある。

上記課題を解決するために本発明は、バスに接続される複数のノード間での  
データ転送のためのデータ転送制御装置であって、ノード間でのパケット転送  
のためのサービスを提供するリンク手段と、前記リンク手段を介して受信した  
15 パケットを、ランダムアクセス可能なパケット記憶手段に書き込む書き込み手  
段と、パケットの制御情報を、前記パケット記憶手段の制御情報領域に書き込  
み、パケットの第1の層（例えばトランザクション層）用の第1のデータを、  
前記パケット記憶手段の第1のデータ領域に書き込み、パケットの、前記第1  
の層の上層である第2の層（例えばアプリケーション層）用の第2のデータを、  
20 前記パケット記憶手段の第2のデータ領域に書き込むパケット分離手段とを含  
むことを特徴とする。

本発明によれば、パケットの制御情報（例えばヘッダ、フッター）は制御情  
報領域に書き込まれ、パケットの第1のデータ（例えばトランザクション層用  
のデータ）は第1のデータ領域に書き込まれ、パケットの第2のデータ（例  
25 えばアプリケーション層用のデータ）は第2のデータ領域に書き込まれる。こ  
うにすれば、第2のデータ領域から第2のデータを連続して読み出して、第  
2の層に転送することができるようになる。これにより、データ転送を飛躍的

に高速化できる。

なお本発明では、前記第 1 のデータが、前記第 1 の層のプロトコルで使用されるコマンドデータであり、前記第 2 のデータが、アプリケーション層で 사용되는データであることが望ましい。

- 5       また本発明は、前記第 2 のデータ領域がフルである場合には、前記書き込み手段による前記第 2 のデータ領域への前記第 2 のデータの書き込みを禁止するためにフル信号をアクティブにし、前記第 2 のデータ領域がエンプティである場合には、前記第 2 の層による前記第 2 のデータ領域からの前記第 2 のデータの読み出しを禁止するためにエンプティ信号をアクティブにする領域管理手段
- 10       を含むことを特徴とする。このようにすれば、領域管理手段による管理だけで、第 2 のデータ領域への第 2 のデータの書き込み処理や、第 2 のデータからの第 2 のデータの読み出し処理を制御できるようになり、データ転送の自動化、更には高速化が図れる。

- 15       また本発明は、トランザクションを開始させる要求パケットを応答ノードに対して送信する際に、前記要求パケットに含まれるトランザクション識別情報の中に、応答ノードから応答パケットを受信した際に行う処理を指示するための指示情報を含ませ、応答ノードから応答パケットを受信した場合に、応答パケットのトランザクション識別情報が含む前記指示情報により指示される領域に、応答パケットの前記制御情報、前記第 1、第 2 のデータを書き込むことを
- 20       特徴とする。このようにすれば、応答ノードから応答パケットが返信されてきた時に、ファームウェア等が関与することなく、指示情報により指示される領域に応答パケットの制御情報、第 1、第 2 のデータが自動的に書き込まれるようになる。従って、ファームウェア等の処理負担を格段に軽減できる。

- 25       また本発明は、バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、トランザクションを開始させる要求パケットを応答ノードに対して送信する際に、前記要求パケットに含まれるトランザクション識別情報の中に、応答ノードから応答パケットを受信した際に行う処理を指

示するための指示情報を含ませる手段と、応答ノードから応答パケットを受信した場合に、応答パケットのトランザクション識別情報が含む前記指示情報により指示される処理を行う手段とを含むことを特徴とする。

5 本発明によれば、応答ノードから応答パケットが返信されてきた時に、トランザクション識別情報（例えばトランザクションラベル）に含ませた指示情報に応じた処理が行われるようになる。従って、応答パケットの返信時に行われる処理を自動化できるようになり、ファームウェア等の処理負担を軽減できると共に、データ転送の高速化を図れる。

10 また本発明は、応答ノードから応答パケットを受信した場合に、応答パケットのトランザクション識別情報が含む前記指示情報により指示される領域に、前記応答パケットの制御情報、データを書き込むことを特徴とする。なお、応答パケットが返信されてきた時に行う処理は、このような指示領域への書き込み処理には限定されない。

15 また本発明は、前記トランザクション識別情報の所与のビットが、前記指示情報を表すビットとして前もって予約されることを特徴とする。このようにすれば、要求パケットのトランザクション識別情報に指示情報を含ませる処理や、応答パケットのトランザクション識別情報に基づき指示情報を判別する処理を、簡易で負荷の低い処理にすることが可能になる。

20 なお、前記トランザクション識別情報は、IEEE 1394の規格におけるトランザクションラベルであることが望ましい。

25 また本発明は、バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、ノード間でのパケット転送のためのサービスを提供するリンク手段と、パケットを格納するためのランダムアクセス可能なパケット記憶手段と、前記リンク手段を介して各ノードから転送されてくるパケットを前記パケット記憶手段に書き込む書き込み手段と、前記パケット記憶手段に書き込まれたパケットを読み出し、前記リンク手段に渡す読み出し手段とを含み、前記パケット記憶手段が、パケットの制御情報が格納される制御情報領

域と、パケットのデータが格納されるデータ領域とに分離され、前記データ領域が、第1の層用の第1のデータが格納される第1のデータ領域と、前記第1の層の上層である第2の層用の第2のデータが格納される第2のデータ領域とに分離されていることを特徴とする。

- 5       本発明によれば、パケット記憶手段が、制御情報領域、第1のデータ領域、第2のデータ領域に分離されるため、第2のデータ領域から第2のデータを連続して読み出したり、第2のデータ領域に第2のデータを連続して書き込むことができるようになる。これにより、データ転送を飛躍的に高速化できる。

- 10       また本発明は、前記第2のデータ領域に送信領域を確保するための送信領域スタートアドレスを記憶する第1のアドレス記憶手段と、前記第2のデータ領域に送信領域を確保するための送信領域エンドアドレスを記憶する第2のアドレス記憶手段と、前記第2のデータ領域に受信領域を確保するための受信領域スタートアドレスを記憶する第3のアドレス記憶手段と、前記第2のデータ領域に受信領域を確保するための受信領域エンドアドレスを記憶する第4のアドレス記憶手段とを含むことを特徴とする。このようすれば、第2の層（例えばアプリケーション層）のデバイスの特性に応じて、第2のデータ領域を、例えば、送信専用領域として利用したり、受信専用領域として利用したり、送信及び受信の共用領域として利用したりすることができるようになる。
- 15

- 20       また本発明は、前記送信領域スタートアドレス及び前記受信領域スタートアドレスが、前記第2のデータ領域のスタートアドレスに設定され、前記送信領域エンドアドレス及び前記受信領域エンドアドレスが、前記第2のデータ領域のエンドアドレスに設定されることを特徴とする。このようにすれば、第2のデータ領域を送信及び受信の共用領域として利用できるようになる。従って、他のノードから自ノードへの方向及び自ノードから他のノードへの方向という
- 25       双方向でデータが転送される第2の層のデバイスに、最適なデータ転送制御装置を提供できる。しかも、送信時においても、受信時においても、第2のデータ領域の記憶容量を最大限に利用できるようになり、多くのデータを第2のデ

ータ領域に記憶させることが可能になる。

また本発明は、前記送信領域スタートアドレス及び前記送信領域エンドアドレスの双方が、前記第2のデータ領域のスタートアドレス又はエンドアドレスのいずれか一方に設定され、前記受信領域スタートアドレスが前記第2のデータ領域のスタートアドレスに設定され、前記受信領域エンドアドレスが前記第2のデータ領域のエンドアドレスに設定されることを特徴とする。このようにすれば、第2のデータ領域を受信専用領域として利用できるようになる。これにより、他のノードから自ノードへの方向にしか大きなデータが流れないような第2の層のデバイスに、最適なデータ転送制御装置を提供できる。

また本発明は、前記受信領域スタートアドレス及び前記受信領域エンドアドレスの双方が、前記第2のデータ領域のスタートアドレス又はエンドアドレスのいずれか一方に設定され、前記送信領域スタートアドレスが前記第2のデータ領域のスタートアドレスに設定され、前記送信領域エンドアドレスが前記第2のデータ領域のエンドアドレスに設定されることを特徴とする。このようにすれば、第2のデータ領域を送信専用領域として利用できるようになる。これにより、自ノードから他のノードへの方向にしか大きなデータが流れないような第2の層のデバイスに、最適なデータ転送制御装置を提供できる。

また、本発明では、IEEE 1394の規格に準拠したデータ転送を行うことが望ましい。

また本発明に係る電子機器は、上記のいずれかのデータ転送制御装置と、前記データ転送制御装置及びバスを介して他のノードから受信したデータに所与の処理を施す装置と、処理が施されたデータを出力又は記憶するための装置とを含むことを特徴とする。また本発明に係る電子機器は、上記のいずれかのデータ転送制御装置と、前記データ転送制御装置及びバスを介して他のノードに送信するデータに所与の処理を施す装置と、処理が施されるデータを取り込むための装置とを含むことを特徴とする。

本発明によれば、他のノードから転送されたデータを電子機器において出力

したり記憶したりする処理、電子機器において取り込んだデータを他のノードに転送したりする処理を高速化することが可能になる。また、本発明によれば、データ転送制御装置を小規模化できると共に、データ転送を制御するファームウェアなどの処理負担を軽減できるため、電子機器の低コスト化、小規模化などを図ることも可能になる。

[図面の簡単な説明]

図1は、IEEE 1394の層構造について示す図である。

図2A、図2Bは、トランザクション層やリンク層が提供する各種のサービスについて説明するための図である。

図3は、SBP-2について説明するための図である。

図4は、本実施形態のデータ転送制御装置の構成例を示す図である。

図5は、RAM（パケット記憶手段）の分離（分割）手法について説明するための図である。

図6は、比較例の構成について示す図である。

図7は、図6の構成によるデータ転送の手法について説明するための図である。

図8は、本実施形態のデータ転送の手法について説明するための図である。

図9は、データ領域をORB領域とストリーム領域に分離しない手法について説明するための図である。

図10は、データ領域をORB領域とストリーム領域に分離する手法について説明するための図である。

図11は、他のノードとアプリケーション層のデバイスとの間のストリーム転送の様子を示す図である。

図12は、エンプティ信号とフル信号を用いたストリーム領域の管理手法について説明するための図である。

図13A、図13Bは、トランザクションラベルについて説明するための図

である。

図14は、トランザクションラベルを利用して、RAMの各領域にパケットのヘッダ、データを書き込む手法について説明するための図である。

5 図15は、トランザクションラベルを利用して、RAMの各領域にパケットのヘッダ、データを書き込む処理の詳細について説明するための図である。

図16は、送信ストリーム領域を確保するためのアドレスTS、TE、受信ストリーム領域を確保するためのアドレスRS、REを記憶するレジスタTSR、TER、RSR、RE Rを設ける手法について説明するための図である。

10 図17A、図17B、図17C、図17Dは、領域確保の種々のモードについて説明するための図である。

図18は、比較例の領域確保の手法について説明するための図である。

図19は、受信側の詳細な構成について示す図である。

15 図20Aは、IEEE1394規格の、非同期でブロックデータを有するパケットのフォーマットであり、図20Bは、RAMに格納される、非同期受信でブロックデータを有するパケットのヘッダ部分のフォーマットである。

図21は、TAGについて説明するための図である。

図22は、DMAC、レジスタ、RAM領域管理回路の詳細な構成について示す図である。

図23は、各種のポインタレジスタについて説明するための図である。

20 図24A、図24B、図24Cは、種々の電子機器の内部ブロック図の例である。

図25A、図25B、図25Cは、種々の電子機器の外観図の例である。

#### [発明を実施するための最良の形態]

25 以下、本発明の好適な実施形態について図面を用いて詳細に説明する。

##### 1. IEEE1394

まず、IEEE1394について簡単に説明する。

## 1. 1 概要

IEEE 1394 (IEEE 1394-1995、P1394. a) では 100～400Mbps の高速なデータ転送が可能となっている (P1394. b では 800～3200Mbps)。また、転送速度が異なるノードをバスに  
5 接続することも許される。

各ノードはツリー状に接続されており、1つのバスに最大で63個のノードが接続可能になっている。なお、バスブリッジを利用すれば約64000個のノードを接続することも可能である。

IEEE 1394 では、パケットの転送方式として非同期転送とアイソクロナス転送が用意されている。ここで非同期転送は、信頼性が要求されるデータの転送に好適な転送方式であり、アイソクロナス転送は、リアルタイム性が要求される動画像や音声などのデータの転送に好適な転送方式である。  
10

## 1. 2 層構造

IEEE 1394 の層構造 (プロトコル構成) を図1に示す。

IEEE 1394 のプロトコルは、トランザクション層、リンク層、物理層により構成される。また、シリアルバスマネージメントは、トランザクション層、リンク、物理層をモニターしたり制御したりするものであり、ノードの制御やバスのリソース管理のための種々の機能を提供する。  
15

トランザクション層は、上位層にトランザクション単位のインターフェース (サービス) を提供し、下層のリンク層が提供するインターフェースを通して、リードトランザクション、ライトトランザクション、ロックトランザクション等のトランザクションを実施する。  
20

ここで、リードトランザクションでは、応答ノードから要求ノードにデータが転送される。一方、ライトトランザクションでは、要求ノードから応答ノードにデータが転送される。またロックトランザクションでは、要求ノードから  
25 応答ノードにデータが転送され、応答ノードがそのデータに処理を施して要求ノードに返信する。

トランザクション層のサービスは、図 2 A に示すように要求、表示、応答、確認という 4 つのサービスにより構成される。

ここで、トランザクション要求は、要求側がトランザクションを開始させるサービスであり、トランザクション表示は、要求が届いたことを応答側に通知するサービスである。また、トランザクション応答は、応答側の状態やデータを要求側に返すサービスであり、トランザクション確認は、応答側からの応答がきたことを要求側に通知するサービスである。

リンク層は、アドレッシング、データチェック、パケット送受信のためのデータフレーミング、アイソクロナス転送のためのサイクル制御などを提供する。

リンク層のサービスは、トランザクション層と同様に、図 2 B に示すように要求、表示、応答、確認という 4 つのサービスにより構成される。

ここで、リンク要求は、パケットを応答側に転送するサービスであり、リンク表示は、応答側によるパケットの受信サービスである。また、リンク応答は、応答側によるアクノリッジメントの転送サービスであり、リンク確認は、要求側によるアクノリッジメントの受信サービスである。

物理層は、リンク層により使用されるロジカルシンボルの電気信号への変換や、バスの調停や、バスの物理的インターフェースを提供する。

物理層及びリンク層は、通常、データ転送制御装置（インターフェースチップ）などのハードウェアにより実現される。また、トランザクション層は、CPU 上で動作するファームウェア（処理手段）や、ハードウェアにより実現される。

なお、図 3 に示すように、IEEE 1394 のトランザクション層の一部の機能を含む上位のプロトコルとして、SBP-2 (Serial Bus Protocol-2) と呼ばれるプロトコルが提案されている。

ここで SBP-2 は、SCSI のコマンドセットを IEEE 1394 のプロトコル上で利用可能にするために提案されたものである。この SBP-2 を用いれば、既存の SCSI 規格の電子機器で使用されていた SCSI のコマンドセッ

トに最小限の変更を加えて、IEEE 1394規格の電子機器に使用できるようになる。従って、電子機器の設計や開発を容易化できる。また、SCSIのコマンドだけではなく、デバイス固有のコマンドもカプセル化して利用できるように、非常に汎用性が高い。

5        このSBP-2では、まず、イニシエータ（パーソナルコンピュータ等）が、ログインやフェッチ・エージェントの初期化のためのORB（Operation Request Block）を作成して、ターゲット（プリンタ、CD-RWドライブ等）に送る。次に、イニシエータは、コマンド（リードコマンド、ライトコマンド）を含むORB（コマンドブロックORB）を作成して、その作成したORBの  
10        アドレスを、ターゲットに知らせる。そして、ターゲットは、そのアドレスをフェッチすることにより、イニシエータが作成したORBを取得する。ORBに含まれるコマンドがリードコマンドであった場合には、ターゲットは、ブロックライトトランザクションを発行して、イニシエータのデータバッファ（メモリ）にターゲットのデータを送信する。一方、ORBに含まれるコマンドが  
15        ライトコマンドであった場合には、ターゲットは、ブロックリードトランザクションを発行して、イニシエータのデータバッファからデータを受信する。

      このSBP-2によれば、ターゲットは、自身が都合の良いときにトランザクションを発行して、データを送受信できる。従って、イニシエータとターゲットが同期して動く必要がなくなるため、データ転送効率を高めることができる。

20        なお、IEEE 1394の上位プロトコルとしては、SBP-2以外にも、FCP（Function Control Protocol）と呼ばれるプロトコルなども提案されている。

## 2. 全体構成

      次に、本実施形態のデータ転送制御装置の全体構成の例について図4を用いて説明する。  
25

      図4において、PHYインターフェース10は、PHYデバイス（物理層のデバイス）とのインターフェースを行う回路である。

リンクコア 20（リンク手段）は、リンク層のプロトコルやトランザクション層のプロトコルの一部をハードウェアにより実現する回路であり、ノード間でのパケット転送のための各種サービスを提供する。レジスタ 22 は、これらのプロトコルを実現したリンクコア 20 を制御するためのレジスタである。

5       F I F O（A T F）30、F I F O（I T F）32、F I F O（R F）34 は、各々、非同期送信用、アイソクロナス送信用、受信用の F I F O であり、例えばレジスタや半導体メモリなどのハードウェアにより構成される。本実施形態では、これらの F I F O 30、32、34 の段数は非常に少ない。例えば  
10       1つの F I F O の段数は、好ましくは 3 段以下であり、更に好ましくは 2 段以下となる。

DMAC 40（読み出し手段）、DMAC 42（読み出し手段）、DMAC 44（書き込み手段）は、各々、ATF 用、ITF 用、RF 用の DMA コントローラである。これらの DMAC 40、42、44 を用いることで、CPU 66 に介入されることなく、RAM 80 とリンクコア 20 との間でのデータ転送  
15       が可能になる。なお、レジスタ 46 は、DMAC 40、42、44 など制御するレジスタである。

ポートインターフェース 50 は、アプリケーション層のデバイス（例えばプリンタの印字処理を行うデバイス）とのインターフェースを行う回路である。本実施形態では、このポートインターフェース 50 を用いて、例えば 8 ビット  
20       のデータ転送が可能になっている。

F I F O（P F）52 は、アプリケーション層のデバイスとの間でのデータ転送のための F I F O であり、DMAC 54 は、PF 用の DMA コントローラである。レジスタ 56 は、ポートインターフェース 50 や DMAC 54 を制御するレジスタである。

25       SBP-2 コア 84 は、SBP-2 のプロトコルの一部をハードウェアにより実現する回路である。レジスタ 88 は、SBP-2 コア 84 を制御するためのレジスタである。DMAC（SBP-2 用）86 は、SBP-2 コア 84 用の DMA コ

ントローラである。

RAM領域管理回路300は、RAM80の各領域を管理するための回路である。RAM領域管理回路300は、RAM80の各領域がフルになったり、エンプティになった場合に、各種のフル信号、エンプティ信号を用いてDMA  
5 C40、42、44、54、86を制御する。

CPUインターフェース60は、データ転送制御装置をコントロールするCPU66とのインターフェースを行う回路である。CPUインターフェース60は、アドレスデコーダ62、データ同期化回路63、割り込みコントローラ64を含む。クロック制御回路68は、本実施形態で使用されるクロックを制  
10 御するものであり、PHYデバイス（PHYチップ）から送られてくるSCLKや、マスタークロックであるHCLKが入力される。

バッファマネージャ70は、RAM80とのインターフェースを管理する回路である。バッファマネージャ70は、バッファマネージャの制御のためのレジスタ72、RAM80へのバス接続を調停する調停回路74、各種の制御信号を生成するシーケンサ76を含む。  
15

RAM80は、ランダムアクセス可能なパケット記憶手段として機能するものであり、その機能は例えばSRAM、SDRAM、DRAMなどにより実現される。

なおRAM80は、本実施形態のデータ転送制御装置に内蔵させることが特に望ましいが、その一部又は全部を外付けにすることも可能である。  
20

図5に、RAM80のメモリマップの一例を示す。図5に示すように本実施形態では、RAM80が、ヘッダ領域（AR2、AR3、AR4、AR6）とデータ領域（AR5、AR7、AR8、AR9）に分離されている。そして、パケットのヘッダ（広義には制御情報）はヘッダ領域に格納され、パケットの  
25 データ（ORB、ストリーム）はデータ領域に格納される。

また本実施形態では、図5に示すように、RAM80のデータ領域（AR5、AR7、AR8、AR9）が、ORB領域（AR5、AR7）とストリーム領

域（AR 8、AR 9）に分離されている。

更に本実施形態では、RAM 80が、受信領域（AR 2、AR 4、AR 5、AR 9）と送信領域（AR 3、AR 6、AR 7、AR 8）に分離されている。

5      なお、ORB（第1の層用の第1のデータ）は、上述したようにSBP-2用のデータ（コマンド）である。一方、ストリーム（第1の層より上層の第2の層用の第2のデータ）は、アプリケーション層用のデータ（プリンタの印字データ、CD-RWの読み出し・書き込みデータ、スキャナによる取り込み画像データ等）である。

10      また、AR 1、AR 2、AR 3に示すHW（ハードウェア）用ページテーブル領域、HW用受信ヘッダ領域、HW用送信ヘッダ領域は、図4に示すSBP-2コア84（SBP-2をハードウェアにより実現する回路）が、ページテーブルや受信ヘッダや送信ヘッダを書き込んだり読み出したりするための領域である。

15      また、図5においてAR 4、AR 5、AR 8、AR 9に示す領域は、いわゆるリングバッファ構造になっている。

20      さて、図4のバス90（或いはバス92、94）は、アプリケーションに接続されるものである（第1のバス）。またバス95（或いはバス96）はデータ転送制御装置をコントロールし、或いはデータをリード・ライトするためのものであり、データ転送制御装置をコントロールするデバイス（例えばCPU）に電氣的に接続される（第2のバス）。またバス100（或いはバス102、104、105、106、107、108、109）は、物理層のデバイス（PHYデバイス）に電氣的に接続されるものである（第3のバス）。また、バス110は、ランダムアクセス可能な記憶手段であるRAM 80に電氣的に接続されるものである（第4のバス）。またバス99は、SBP-2コア84がハードウェアによりSBP-2を実現するためのヘッダ情報やページテーブル情報を  
25      リード・ライトするためのものである（第5のバス）。

        バッファマネージャ70の調停回路74は、DMAC 40、42、44、C

P Uインターフェース60、DMAC86、54からのバスアクセス要求の調停を行う。そして、この調停結果に基づいて、各々、バス105、107、109、96、99、94のいずれかと、RAM80のバス110との間にデータの経路が確立される（第1、第2、第3、第5のバスのいずれかと第4のバスとの間にデータ経路が確立される）。

本実施形態の1つの特徴は、ランダムアクセスが可能でありパケットを格納するRAM80を設けると共に、互いに分離されるバス90、95、99、100と、これらのバスをRAM80のバス110に接続するための調停回路74とを設けた点にある。

例えば図6に、本実施形態と構成の異なるデータ転送制御装置の例を示す。このデータ転送制御装置では、リンクコア902は、PHYインターフェース900、バス922を介してPHYデバイスと接続される。また、リンクコア902は、FIFO904、906、908、CPUインターフェース910、バス920を介してCPU912に接続される。そして、CPU912は、バス924を介して、CPUにローカルなメモリであるRAM914に接続される。

図6の構成のデータ転送制御装置を用いた場合のデータ転送の手法について図7を用いて説明する。PHYデバイス930を介して他のノードから送られてきた受信パケットは、バス922、データ転送制御装置932、バス920を介してCPU912が受け取る。そして、CPU912は、受け取った受信パケットをバス924を介してRAM914に一旦書き込む。そして、CPU912は、RAM914に書き込まれた受信パケットをバス924を介して読み出し、アプリケーション層が使用できるように加工し、バス926を介してアプリケーション層のデバイス934に転送する。

一方、アプリケーション層のデバイス934からのデータを転送する場合には、CPU912は、このデータをRAM914に書き込む。そして、RAM914のデータにヘッダを付加することでIEEE1394に準拠したパケッ

トを生成する。そして生成されたパケットは、データ転送制御装置 9 3 2、P H Y デバイス 9 3 0 などを介して他のノードに送信される。

しかしながら、このような図 7 のデータ転送手法によると、C P U 9 1 2 の処理負担が非常に重くなる。従って、ノード間を接続するシリアルバスの転送速度が高速になっても、C P U 9 1 2 の処理のオーバーヘッドなどに起因して、システム全体の実転送速度は低くなり、結局、高速なデータ転送を実現できない。

これに対して、本実施形態では図 8 に示すように、データ転送制御装置 1 2 0、アプリケーション層のデバイス 1 2 4 間のバス 9 0 と、C P U バス 9 6 と、データ転送制御装置 1 2 0、R A M 8 0 間のバス 1 1 0 とが互いに分離されている。従って、C P U バス 9 6 をデータ転送の制御のみに使用できるようになる。また、バス 9 0 を占有して、データ転送制御装置 1 2 0、アプリケーション層のデバイス 1 2 4 間でデータ転送を行うことができるようになる。例えば、データ転送制御装置 1 2 0 が組み込まれる電子機器がプリンタである場合には、バス 9 0 を占有して印字データを転送できるようになる。この結果、C P U 6 6 の処理負担を軽減でき、システム全体の実転送速度を高めることができる。また C P U 6 6 として安価なものを採用できると共に、C P U バス 9 6 として高速なバスを使用する必要性がなくなる。このため、電子機器の低コスト化、小規模化を図れるようになる。

### 3. 本実施形態の特徴

#### 3. 1 データ領域の分離（O R B 領域とストリーム領域への分離）

本実施形態の第 1 の特徴は、図 4 の R A M 8 0 を、図 5 に示すようにヘッダ領域（A R 2、A R 3、A R 4、A R 6）とデータ領域（A R 5、A R 7、A R 8、A R 9）に分離すると共に、データ領域を、O R B 領域（A R 5、A R 7）とストリーム領域（A R 8、A R 9）に分離している点にある。

即ち、R A M をヘッダ領域とデータ領域に分離することで、ファームウェアは、ヘッダ領域からヘッダを連続して読み出したり、ヘッダ領域にヘッダを連

続して書き込むことができるようになる。従って、ファームウェアの処理負担をある程度軽減できるという利点がある。しかしながら、データ転送の更なる高速化という観点からは、ヘッダ領域とデータ領域の分離だけでは不十分であることが判明した。

- 5       例えば図 9 では、受信パケットがヘッダとデータに分離され、ヘッダ 1、2、3 がヘッダ領域に書き込まれ、データ 1、2、3 がデータ領域に書き込まれている。

10       ここで、データには、前述のように、SBP-2（第 1 の層）用の ORB（第 1 のデータ）と、上層であるアプリケーション層（第 2 の層）用のストリームとがある。従って、RAM をヘッダ領域とデータ領域に分離しただけでは、図 9 の D 1、D 2、D 3 に示すように、データ領域において ORB とストリームとが混在するようになってしまう。

15       このため、例えば、RAM からアプリケーション層のデバイスにストリームを転送する場合には、次のような処理が必要になる。即ち、まず、読み出しアドレス（データポインタ）を D 4 の位置に設定してストリーム 1 1、1 2、1 3 を読み出し、次に、読み出しアドレスを D 5 の位置に設定してストリーム 2 1、2 2、2 3 を読み出す。その後、読み出しアドレスを D 6 の位置に設定してストリーム 3 1、3 2、3 3 を読み出す。

20       このように、RAM を単にヘッダ領域とデータ領域に分離しただけでは、アプリケーション層のデバイスへのストリーム転送の際に、ファームウェアによる読み出しアドレスの制御等が必要になり、ファームウェアの処理負担をそれほど軽減できない。また、データ領域から連続してストリームを読み出すことができないため、データ転送制御装置の実転送速度をそれほど向上できない。

25       一方、図 10 では、データ領域を ORB 領域とストリーム領域に分離している。このようにすれば、ファームウェア（トランザクション層）は、ORB 領域から ORB 1、2、3 を連続して読み出すことができる。また、ファームウェアを介在させることなく、ストリーム 1 1～3 3 を RAM のストリーム領域

から連続して読み出し、アプリケーション層のデバイスへ転送できるようになる。即ち、図 1 1 に示すように、他のノード 1 2 3（例えばパーソナルコンピュータ）とアプリケーション層のデバイス（例えばプリンタの印字処理を行うデバイス）との間で、ファームウェア（CPU）6 6 の介在無しに、ストリー  
5 ム（例えば印字データ）を高速に転送できるようになる。この結果、図 9 に比べて、ファームウェアの処理負担を格段に軽減できると共に、データ転送を飛躍的に高速化できるようになる。

なお、図 1 0 では、本実施形態のデータ転送制御装置 1 2 0 がストリームを受信する場合（方向 D R 1 に示すように他のノード 1 2 3 からアプリケーション層のデバイス 1 2 4 にストリームを転送する場合）について示している。し  
10 かしながら、データ転送制御装置 1 2 0 がストリームを送信する場合（方向 D R 2 に示すようにアプリケーション層のデバイス 1 2 4 から他のノード 1 2 3 にストリームを転送する場合）においても、データ領域を送信 O R B 領域（図 5 の A R 7）と送信ストリーム領域（A R 8）に分離することで、データ転送  
15 の高速化を図れる。

さて、データ領域を O R B 領域とストリーム領域に分離すると、次のような効果も得られる。

例えば図 1 2 では、R A M 領域管理回路 3 0 0 がストリーム領域の管理を行っている。より具体的には、ストリーム領域に多くのストリームが書き込まれて、ストリーム領域がフルになると、R A M 領域管理回路 3 0 0 は、信号 S T R M F U L L をアクティブにする。すると、この S T R M F U L L を受けた D M A C 4 4（書き込み手段）は、R A M への書き込み要求 W R E Q をアクティ  
20 ブにしないようにする。これにより、ストリーム領域にストリームが書き込まれないようになる。

一方、ストリーム領域から多くのストリームが読み出されて、ストリーム領域がエンプティになると、R A M 領域管理回路 3 0 0 は、信号 S T R M E M P T Y をアクティブにする。すると、この S T R M E M P T Y を受けた D M A C  
25

5 4（読み出し手段）は、RAMへの読み出し要求REQをアクティブにしないようにする。これにより、ストリーム領域からストリームが読み出されないようになる（アプリケーション層のデバイスにストリームが転送されないようになる）。

- 5       以上のように、データ領域をORB領域とストリーム領域に分離すれば、ストリーム領域がフルであればストリーム領域への書き込みを禁止し、エンプティであれば読み出しを禁止するという簡単な制御を行うだけで済むようになる。従って、ファームウェアを介在させることなくデータ転送を制御できるようになる。この結果、ファームウェアの処理負担を軽減できる。また、処理能力が低いファームウェアが関与せず、ハードウェアによりデータ転送が制御されるため、データ転送を格段に高速化できるようになる。

### 3. 2   トランザクションラベルを利用した書き込み領域の切り替え

IEEE 1394においては、各トランザクションを識別するための情報として、トランザクションラベル $t_l$ と呼ばれるものが使用される。

- 15       即ち、トランザクションの要求ノードは、要求パケットの中にトランザクションラベル $t_l$ を含ませて、応答ノードに送信する。そして、この要求パケットを受信した応答ノードは、応答パケットの中に、上記と同一の $t_l$ を含ませて、要求ノードに返信する。要求ノードは、返信された応答パケットに含まれる $t_l$ を調べることで、その応答パケットが、自身が要求したトランザクションに対応する応答であることを確認できるようになる。

- 20       トランザクションラベル $t_l$ は、応答ノードとの関係においてユニークであれば十分である。より具体的には、例えば要求ノードLが応答ノードMに対して $t_l = N$ のトランザクションを発行した場合には、そのトランザクションが未完了の間は、要求ノードLは応答ノードMに対して、 $t_l = N$ が付けられた他のトランザクションを発行することはできない。即ち、各トランザクションは、トランザクションラベル $t_l$ とソースIDとディスティネーションIDとによりユニークに特定されることになる。逆に言えば、トランザクションラベ

ル  $t_1$  は、上記の制約が守られている限り、どのような値を使うこともでき、他のノードは、どのような  $t_1$  も受け入れなければならない。

さて、要求ノードが要求パケットを送信し、応答パケットの返信を待つ場合、応答パケットが返信されてきた際に行う処理が、既に決まっている場合がある。

5     そこで、本実施形態は、上記のようなトランザクションラベル  $t_1$  の性質に着目して、次のような手法を採用している。

10     即ち、図 13 A に示すように、トランザクションを開始させる要求パケットを応答ノードに対して送信する際に、要求パケットに含まれるトランザクションラベル  $t_1$ （広義にはトランザクション識別情報）の中に、応答パケットの返信時に行うべき処理を指示する指示情報を含ませる。そして、応答ノードから応答パケットを受信した際に、 $t_1$  に含まれる指示情報に応じた処理を実行するようにする。

15     このようにすれば、応答パケットが返送されてきた際に、ファームウェアが関与することなく、 $t_1$  に含まれる指示情報に応じた処理をハードウェアにより実行できるようになる。これにより、ファームウェアの処理負担を軽減できると共に、データ転送の高速化を図れるようになる。

より具体的には、本実施形態では、応答ノードから応答パケットを受信した場合に、 $t_1$  に含まれる指示情報により指示される領域に、その応答パケットを格納するようにしている。

20     即ち図 13 B に示すように、トランザクションラベル  $t_1$  のビット 5、4 を、指示情報を表すビットとして前もって予約しておく。

25     そして、返信されてきた応答パケットを HW（ハードウェア）用領域に書き込む場合には、要求パケットの  $t_1$  のビット 5 を 1 にセットして、応答ノードに送信する。一方、返信されてきた応答パケットを FW（ファームウェア）用領域に書き込む場合には、要求パケットの  $t_1$  のビット 5 を 0 にセットして、応答ノードに送信する。

また、返信されてきた応答パケットをストリーム領域に書き込む場合には、

要求パケットの  $t_1$  のビット 4 を 1 にセットして、応答ノードに送信する。一方、返信されてきた応答パケットを ORB 領域に書き込む場合には、要求パケットの  $t_1$  のビット 4 を 0 にセットして、応答ノードに送信する。

5      このようにすれば、応答パケットが返信されてきた時に、図 14 に示すように応答パケットのヘッダ、データが RAM の各領域に書き込まれるようになる。

即ち、 $t_1 = 1 \times \times \times \times \times$  ( $\times$  は、ドント・ケアという意味) である場合には、応答パケットのヘッダは、HW 用受信ヘッダ領域に書き込まれ、 $t_1 = 0 \times \times \times \times \times$  である場合には、FW 用受信ヘッダ領域に書き込まれる。

10      また、 $t_1 = 11 \times \times \times \times$  である場合には、応答パケットのデータは、HW 用受信ストリーム領域に書き込まれ、 $t_1 = 10 \times \times \times \times$  である場合には、HW 用受信 ORB 領域に書き込まれる。また  $t_1 = 01 \times \times \times \times$  である場合には、応答パケットのデータは、FW 用受信ストリーム領域に書き込まれ、 $t_1 = 00 \times \times \times \times$  である場合には、FW 用受信 ORB 領域に書き込まれる。

15      このようにすることで、ファームウェアを介在させることなく、応答パケットのヘッダ、データを、ハードウェア (回路) により RAM の各領域に自動的に書き込むことができるようになる。そして、RAM に応答パケットを書き込む処理を行うハードウェアの構成も簡素化でき、データ転送制御装置の小規模化を図れる。

20      また、図 10 で説明したように、パケットのヘッダをヘッダ領域に、ORB を ORB 領域に、ストリームをストリーム領域に書き込むことができるようになるため、ファームウェアの処理負担の軽減化、データ転送の高速化も図れるようになる。

図 15 に、 $t_1$  に基づいて RAM の各領域にパケットのヘッダ、データを書き込む処理の詳細な例を示す。

25      まず、受信パケットの最初のクワドレットに含まれるデスティネーション ID が、自ノードの ID と一致するか否かを判断する (ステップ S1)。そして、自ノード宛のパケットでなかった場合には、そのパケットは破棄する (ステッ

ブ S 2)。

次に、受信パケットの最初のクワドレットに含まれるトランザクションコード `t c o d e` を調べ、受信パケットが、ブロック・リード・レスポンスのパケットなのか否かを判断する (ステップ S 3)。そして、ブロック・リード・レスポンスのパケットでない場合には、ステップ S 1 0 に移行する。

次に、受信パケットの最初のクワドレットに含まれるトランザクションレベル `t l` のビット 5、4 をステップ S 4、S 5、S 6 で判断し、ビット 5、4 が (1、1) の場合にはステップ S 7 に、(1、0) の場合にはステップ S 8 に、(0、1) の場合にはステップ S 9 に、(0、0) の場合にはステップ S 1 0 に移行する。

そして、ステップ S 7 に移行した場合には H W 用受信ストリーム領域に、ステップ S 8 に移行した場合には H W 用受信 O R B 領域に、ステップ S 9 に移行した場合には F W 用受信ストリーム領域に、ステップ S 1 0 に移行した場合には F W 用受信 O R B 領域に、受信パケットのデータを転送する。そして、`t l` のビット 5 が 1 の場合には、受信パケットのヘッダを H W 用受信ヘッダ領域に転送し (ステップ S 1 1)、`t l` のビット 5 が 0 の場合には、受信パケットのヘッダを F W 用受信ヘッダ領域に転送する (ステップ S 1 2)。

なお、図 1 5 のステップ S 3 では、受信パケットがブロック・リード・レスポンスのパケットではない場合にステップ S 1 0 に移行している。これは、ブロック・リード・レスポンス以外の受信パケットの大半は、コマンドを含むパケットであると考えられ、コマンドを含むパケットは、F W 用受信 O R B 領域、F W 用受信ヘッダ領域に格納して、ファームウェアに処理させるのが妥当であると考えられるからである。

### 3. 3 受信ストリーム領域、送信ストリーム領域の切り分け

本実施形態では図 1 6 に示すように、ストリーム領域 (第 2 のデータ領域) に送信ストリーム領域を確保するための送信領域スタートアドレス `T S`、送信領域エンドアドレス `T E` を記憶するレジスタ `T S R` (第 1 のアドレス記憶手段)、

TER (第2のアドレス記憶手段) を設けている。また、ストリーム領域に受信ストリーム領域を確保するための受信領域スタートアドレスRS、受信領域エンドアドレスREを記憶するレジスタRSR (第3のアドレス記憶手段)、RER (第4のアドレス記憶手段) を設けている。

5        なお、本実施形態では、レジスタTSR、TER、RSR、RERは、ファームウェア (CPU) により書き換え可能なレジスタになっている。但し、図16においてレジスタTSR、RERの少なくとも一方については、固定値を記憶するようにして、ファームウェアが書き換えられないようにしてもよい。

10        また、図16では、受信ストリーム領域の上に送信ストリーム領域が位置しているが、受信ストリーム領域の下に送信ストリーム領域が位置するようにしてもよい。そして、この場合には、レジスタRSR、TERの少なくとも一方を、固定値を記憶するようにして、ファームウェアが書き換えられないようにしてもよい。

15        図16に示すようなレジスタTSR、TER、RSR、RERを設けることで、図17A、図17B、図17C、図17Dに示すような、種々のモードでの領域確保が可能になる。

20        例えば、図17Aの第1のモードでは、レジスタTSRが記憶する送信領域スタートアドレスTS、レジスタRSRが記憶する受信領域スタートアドレスRSが、ストリーム領域のスタートアドレスSに設定されている。また、レジスタTERが記憶する送信領域エンドアドレスTE、レジスタRERが記憶する受信領域エンドアドレスREが、ストリーム領域のエンドアドレスEに設定されている。

      この第1のモードによれば、ストリーム領域の全領域を、送信用及び受信用の両方に共用できるようになる。

25        また、図17Bの第2のモードでは、送信領域スタートアドレスTS、送信領域エンドアドレスTE、受信領域スタートアドレスRSが、ストリーム領域のスタートアドレスSに設定され、受信領域エンドアドレスREがストリーム

領域のエンドアドレス E に設定されている (T S 及び T E を E に設定してもよい)。

この第 2 のモードによれば、ストリーム領域の全領域を受信ストリーム領域として使用できるようになる。

- 5       また、図 1 7 C の第 3 のモードでは、送信領域スタートアドレス T S がストリーム領域のスタートアドレス S に設定され、受信領域スタートアドレス R S、受信領域エンドアドレス R E、送信領域エンドアドレス T E がストリーム領域のエンドアドレス E に設定されている (R S 及び R E を S に設定してもよい)。

- 10       この第 3 のモードによれば、ストリーム領域の全領域を送信ストリーム領域として使用できるようになる。

- 15       また、図 1 7 D の第 4 のモードでは、送信領域スタートアドレス T S がストリーム領域のスタートアドレス S に設定され、送信領域エンドアドレス T E 及び受信領域スタートアドレス R S が、ストリーム領域の境界アドレス B に設定され、受信領域エンドアドレス R E がストリーム領域のエンドアドレス E に設定されている。

この第 4 のモードによれば、ストリーム領域の一部の領域を送信ストリーム領域に使用し、他の領域を受信ストリーム領域に使用できるようになる。

- 20       例えば、C D - R W ドライブ、ハードディスクドライブなどの電子機器では、図 1 1 の D R 1、D R 2 の双方向でストリームが転送される。そして、通常、D R 1 方向のストリーム転送と D R 2 方向のストリーム転送とが同じ時間に行われることはない。従って、この場合には、図 1 7 A に示す第 1 のモードで領域を確保することが望ましい。このようにすれば、ストリーム領域の記憶容量が例えば 4 K バイトであった場合には、送信時においても受信時においても、4 K バイトの記憶容量を確保できるようになり、R A M を効率的に使用できる
- 25       ようになる。

なお、図 1 8 の比較例では、ストリーム領域に送信ストリーム領域と受信ストリーム領域を確保するために、ストリーム領域のスタートアドレス S を記憶す

るレジスタSR、ストリーム領域の境界アドレスBを記憶するレジスタBR、ストリーム領域のエンドアドレスEを記憶するレジスタERを設けている。

しかしながら、この図18の比較例では、図17B、図17C、図17Dに示す第2、第3、第4のモードの設定はできるが、図17Aに示す第1のモードの設定はできない。従って、CD-RWドライブ、ハードディスクドライブにデータ転送制御装置を組み込んだ場合には、図17Dの第4のモードのように領域を確保しなければならず、図17Aの第1のモードに比べて、RAMを効率的に使用できないという欠点がある。

さて、プリンタなどの電子機器では、図11の片方向DR1でストリームが転送される（データ転送制御装置がストリームを受信する）。従って、この場合には、図17Bの第2のモードで領域を確保し、全領域を受信ストリーム領域に設定することが望ましい。このようにすれば、ストリーム領域の全領域を有効利用してストリームを転送できるようになる。

また、スキャナやCD-ROMなどの電子機器では、図11の片方向DR2でストリームが転送される（データ転送制御装置がストリームを送信する）。従って、この場合には、図17Cの第3のモードで領域を確保し、全領域を送信ストリーム領域に設定することが望ましい。このようにすれば、ストリーム領域の全領域を有効利用してストリームを転送できるようになる。

なお、ストリーム領域をキャッシュメモリのように使用する電子機器では、図17Dに示すような第4のモードで領域を確保することが望ましい。

#### 4. 詳細例

##### 4.1 受信側の詳細な構成

次に受信側の詳細な構成について説明する。図19に、リンクコア20（リンク手段）、FIFO34、DMAC44（書き込み手段）の詳細な構成の一例を示す。

リンクコア20は、バス監視回路130、直列・並列変換回路132、パケット整形回路160を含む。

ここで、バス監視回路 130 は、PHY インターフェース 10 を介して PHY デバイスに接続される 8 ビット幅のデータバス D、2 ビット幅のコントロールバス CTL を監視する回路である。

5 直列・並列変換回路 132 は、データバス D のデータを 32 ビットのデータに変換する回路である。

10 パケット整形回路 160 は、各ノードから転送されてきたパケットを上層が使用できるように整形する回路である。例えば図 20A に、IEEE 1394 規格の、非同期でブロックデータを有するパケットのフォーマットを示す。一方、図 20B に、RAM 80 のヘッダ領域に格納される、非同期受信でブロックデータを有するパケットのヘッダ部分のフォーマットを示す。このように本実施形態では、図 20A に示すフォーマットのパケットを、ファームウェアなどの上層が使用できるように、図 20B に示すフォーマットのパケットに整形している。

15 パケット整形回路 160 は、パケット診断回路 142、シーケンサ 167、バッファ 168、セクタ 170 を含み、パケット診断回路 142 は、TAG 生成回路 162、ステータス生成回路 164、エラーチェック回路 166 を含む。

20 ここでパケット診断回路 142 は、パケットの診断を行う回路である。TAG 生成回路 162 は、パケットのヘッダ、データ等を書き込む領域を区別するための情報である TAG を生成する回路であり、ステータス生成回路 164 は、パケットに付加する各種のステータスを生成する回路である。また、エラーチェック回路 166 は、パケットに含まれるパリティや CRC などのエラーチェック情報をチェックしてエラーを検出する回路である。

25 シーケンサ 167 は各種の制御信号を生成するものである。バッファ 168、セクタ 170 は、直列・並列変換回路 132 からの DI、パケット診断回路 142 からのステータス、DMAC 44 からのデータポインタ DP のいずれかを、パケット診断回路 142 からの信号 SEL により選択するためのものであ

る。

5      F I F O 3 4 は、リンクコア 2 0 からの出力データである R D の位相と、R A M 8 0 への書き込みデータである W D A T A の位相とを調整するためのバッファとして機能するものであり、F I F O 状態判断回路 3 5 を含む。F I F O 状態判断回路 3 5 は、F I F O 3 4 が空になると、信号 E M P T Y をアクティブにし、F I F O 3 4 がフルになると、信号 F U L L をアクティブにする。

        D M A C 4 4 は、パケット分離回路 1 8 0、アクセス要求実行回路 1 9 0、アクセス要求発生回路 1 9 2 を含む。

10      ここでパケット分離回路 1 8 0 は、パケット整形回路 1 6 0 により整形されたパケットを T A G ( D T A G ) に基づいてデータ、ヘッダ等に分離して、R A M の各領域 ( 図 5 参照 ) に書き込む処理を行う。

        アクセス要求実行回路 1 9 0 は、リンクコア 2 0 からのアクセス要求を実行するための回路である。アクセス要求実行回路 1 9 0 は、F I F O 状態判断回路 3 5 からの F U L L がアクティブになると、F F U L L をアクティブにする。  
15      パケット整形回路 1 6 0 内のシーケンサ 1 6 7 は、F F U L L がアクティブでないことを条件に、R D ( R x D a t a ) のストロブ信号である R D S をアクティブにする。

        なお R F A I L は、受信における失敗を、シーケンサ 1 6 7 がアクセス要求実行回路 1 9 0 に対して知らせるための信号である。

20      アクセス要求発生回路 1 9 2 は、R A M 8 0 へのアクセス要求を発生するための回路である。アクセス要求発生回路 1 9 2 は、バッファマネージャ 7 0 からの書き込みアクノリッジメントである W A C K や F I F O 状態判断回路 3 5 からの E M P T Y などを受け、書き込み要求である W R E Q をバッファマネージャ 7 0 に出力する。

#### 25      4 . 2    パケットの分離及び R A M の各領域への書き込み

        T A G 生成回路 1 6 2 は、図 2 1 に示すような 4 ビットの T A G を生成している。そして、リンクコア 2 0 は、パケット ( 図 2 0 B 参照 ) のスタート ( 最

初の1クワドレット)、ヘッダ、データ(ORB、ストリーム)をRDとしてFIFO34に出力する際に、この生成された4ビットのTAGも同時にFIFO34に出力する。そして、本実施形態では、このTAGを利用することで、パケットを分離し、RAMの各領域に書き込んでいる(図5、図10参照)。

5 より具体的には、図19のTAG判別回路182が、FIFO34から出力されるDTAG(=TAG)を判別し、FIFO34の出力WDATAの書き込み領域を決める。そして、アドレス発生回路188が含むポインタ更新回路184が、この決められた領域において、ポインタ(データポインタ、ヘッダポインタ)を順次更新(インクリメント、デクリメント)する。そして、アドレス発生回路188は、この順次更新されるポインタが指すアドレスを発生して、WADRとしてバッファマネージャ70に出力する。このようにすることで、パケットのヘッダ、ORB、ストリームが、図5に示すようなRAMの各領域に書き込まれるようになる。

15 なお、アドレス発生回路188は、データポインタDP(受信ORB領域のデータポインタ、受信ストリーム領域のデータポインタ等)をパケット整形回路160に出力しており、パケット整形回路160は、このデータポインタをパケットのヘッダに埋め込んでいる(図20BのC30参照)。これにより、ヘッダ領域に格納されるヘッダとデータ領域に格納されるデータとを対応づけることが可能になる。

20 さて、TAG生成回路162は、図13A、図13Bで説明したトランザクションラベルt1を用いて図21のTAGを生成し、FIFO34に出力する。例えば、リンクコア20の出力RDがヘッダであり、トランザクションラベルt1が1×××××(×は、ドント・ケアという意味)であった場合には、TAG生成回路162は(1001)又は(1010)というTAGを生成する。  
25 これにより、図14に示すように、受信パケットのヘッダがHW(ハードウェア)用受信ヘッダ領域に書き込まれるようになる。なお、ここでHW(ハードウェア)用とは、図4のSBP-2コア84用という意味である。

また、リンクコア20の出力RDがヘッダであり、t1が0×××××であった場合には、TAG生成回路162は(0001)又は(0010)というTAGを生成する。これにより、図14に示すように、受信パケットのヘッダがFW用受信ヘッダ領域に書き込まれるようになる。

- 5       また、RDがデータでありt1が11××××の場合には、(1101)というTAGを生成する。これにより、受信パケットのデータ(ストリーム)がHW用受信ストリーム領域に書き込まれるようになる。

- 10       また、RDがデータでありt1が10××××の場合には、(1100)というTAGを生成する。これにより、受信パケットのデータ(ORB)がHW用受信ORB領域に書き込まれるようになる。

また、RDがデータでありt1が01××××の場合には、(0101)というTAGを生成する。これにより、受信パケットのデータ(ストリーム)がFW用受信ストリーム領域に書き込まれるようになる。

- 15       また、RDがデータでありt1が00××××の場合には、(0100)というTAGを生成する。これにより、受信パケットのデータ(ORB)がFW用受信ORB領域に書き込まれるようになる。

本実施形態では以上のようにトランザクションラベルt1を利用することで、パケットの分離及びRAMの各領域への書き込みを実現している。

#### 4. 3 ストリーム領域の管理及びスタート・エンドアドレスの設定

- 20       図22に、DMAC44、54、レジスタ46、56、RAM領域管理回路300の詳細な構成例を示す。

- 25       まず、図22に示す各種のポインタレジスタ310、312、314、316、318、320、322、324について説明する。本実施形態では、RAMの各領域の管理のために、図23に示すような各種のポインタレジスタを設けている。ファームウェア(CPU)は図4のCPUインターフェース60を介して、これらのポインタレジスタに記憶されるポインタのアドレスを随時読み出すことができる。

ここで処理済みヘッダポインタレジスタUHP Rは、処理済み（使用済み）のヘッダと未処理のヘッダとの境界RB 2 1を指すポインタUHPを記憶する。受信済みヘッダポインタレジスタPHP Rは、受信済みの最新（post）のヘッダと未受信のヘッダとの境界RB 3 1を指すポインタPHPを記憶する。

5       また、処理済みORBポインタレジスタUOP Rは、処理済みのORBと未処理のORBとの境界RB 2 2を指すポインタUOPを記憶する。受信済みORBポインタレジスタPOP Rは、受信済みの最新のORBと未受信のORBとの境界RB 3 2を指すポインタPOPを記憶する。

10       なお、バスリセットヘッダポインタレジスタBHP Rは、バスリセット発生前に受信したパケットのヘッダと、バスリセット発生後に受信したパケットのヘッダとの境界RB 1 1を指すポインタBHPを記憶するレジスタである。また、バスリセットORBポインタレジスタBOP Rは、バスリセット発生前に受信したパケットのORBと、バスリセット発生後に受信したパケットのORBとの境界RB 1 2を指すポインタBOPを記憶するレジスタである。これら  
15       のレジスタBHP R、BOP Rを設けることで、ファームウェアがバスリセットの発生場所を容易に検出できるようになる。これにより、バスリセット発生後に行われるファームウェアの処理負担を大幅に軽減できる。

図22の説明に戻る。図22のレジスタ310、314、318は、各々、受信済みヘッダポインタ、受信済みORBポインタ、受信済みストリームポ  
20       インタを記憶するレジスタである。これらのレジスタ310、314、318は、アドレス発生回路188から、各々、WHADR（ヘッダ領域でのアドレス）、WOADR（ORB領域でのアドレス）、WSADR（ストリーム領域でのアドレス）を受ける。また、レジスタ310、314、318は、リンクコア20からの信号RXCOMP（受信が完了した時にアクティブになる信号）を受  
25       ける。そして、レジスタ310、314、318は、このRXCOMPがアクティブになるタイミングで、アドレス発生回路188からのWHADR、WOADR、WSADRを取り込み、記憶する。このようにすることで、図23の

境界RB31、RB32等のアドレスを記憶できるようになる。

また、レジスタ312、316は、各々、バスリセットヘッダポインタ、バスリセットORBポインタを記憶するレジスタである。これらのレジスタ312、316は、リンクコア20からの信号BRIP（バスリセット中にアクティブになる信号）を受ける。そして、レジスタ312、316は、このBRIPがアクティブになるタイミングで、レジスタ310、314に記憶されているアドレスを取り込み、記憶する。このようにすることで、図23の境界RB11、RB12のアドレスを記憶できるようになる。

また、レジスタ320、322、324は、各々、処理済みヘッダポインタ、処理済みORBポインタ、処理済みストリームポインタを記憶するレジスタである。

また、スタート・エンドアドレスレジスタ326は、図5に示す各領域のスタートアドレス、エンドアドレスを記憶する。より具体的には、図16で説明した送信領域スタートアドレスTS、送信領域エンドアドレスTE、受信領域スタートアドレスRS、受信領域エンドアドレスREを記憶するレジスタ（送信領域スタートアドレスレジスタTSR、送信領域エンドアドレスレジスタTER、受信領域スタートアドレスレジスタRSR、受信領域エンドアドレスレジスタRER）により構成される。そして、アドレス発生回路188、332は、レジスタ326からのスタートアドレス、エンドアドレスに基づいてアドレスの発生を制御する。より具体的には、スタートアドレスを開始点として順次ポインタを更新する。そして、ポインタがエンドアドレスに到達した場合に、ポインタをスタートアドレスに戻すなどの制御を行う（リングバッファ構造の場合）。

RAM領域管理回路300は、受信ヘッダ領域管理回路302、受信ORB領域管理回路304、受信ストリーム領域管理回路306を含む。

そして、受信ヘッダ領域管理回路302は、レジスタ310からの受信済みヘッダポインタやレジスタ320からの処理済みヘッダポインタを受け、受信

ヘッダ領域がフルであることを知らせる信号H D R F U L Lをアクセス要求発生回路192に出力する。

また、受信O R B領域管理回路304は、レジスタ314からの受信済みO R Bポインタやレジスタ322からの処理済みO R Bポインタを受け、受信O R B領域がフルであることを知らせる信号O R B F U L Lをアクセス要求発生回路192に出力する。

また、受信ストリーム領域管理回路306は、レジスタ318からの受信済みストリームポインタやレジスタ324からの処理済みストリームポインタを受け、受信ストリーム領域がフルであることを知らせる信号S T R M F U L Lをアクセス要求発生回路192に出力する。また、受信ストリーム領域がエンブティであることを知らせる信号S T R M E M P T Yをアクセス要求発生回路334に出力する。

アクセス要求発生回路192、334は、これらのフル信号、エンブティ信号を受けて、書き込み要求W R E Q、読み出し要求R R E Qをバッファマネージャ70に出力するか否かを決めることになる。

このように、本実施形態では、受信ストリーム領域の管理は、受信ストリーム領域管理回路306というハードウェアが行い、ファームウェアが関与しない。従って、図12において説明したように、ファームウェアの処理負担を軽減できると共に、データ転送を格段に高速化できるようになる。

## 5. 電子機器

次に、本実施形態のデータ転送制御装置を含む電子機器の例について説明する。

例えば図24Aに電子機器の1つであるプリンタの内部ブロック図を示し、図25Aにその外観図を示す。C P U（マイクロコンピュータ）510はシステム全体の制御などを行う。操作部511はプリンタをユーザが操作するためのものである。R O M 516には、制御プログラム、フォントなどが格納され、R A M 518はC P U 510のワーク領域として機能する。表示パネル519

はプリンタの動作状態をユーザに知らせるためのものである。

PHYデバイス502、データ転送制御装置500を介して、パーソナルコンピュータなどの他のノードから送られてきた印字データは、バス504を介して印字処理部512に直接送られる。そして、印字データは、印字処理部512にて所与の処理が施され、プリントヘッドなどからなる印字部（データを出力するための装置）514により紙に印字されて出力される。

図24Bに電子機器の1つであるスキャナの内部ブロック図を示し、図25Bにその外観図を示す。CPU520はシステム全体の制御などを行う。操作部521はスキャナをユーザが操作するためのものである。ROM526には制御プログラムなどが格納され、RAM528はCPU520のワーク領域として機能する。

光源、光電変換器などからなる画像読み取り部（データを取り込むための装置）522により原稿の画像が読み取られ、読み取られた画像のデータは画像処理部524により処理される。そして、処理後の画像データがバス505を介してデータ転送制御装置500に直接送られる。データ転送制御装置500は、この画像データにヘッドなどを付加することでパケットを生成し、PHYデバイス502を介してパーソナルコンピュータなどの他のノードに送信する。

図24Cに電子機器の1つであるCD-RWドライブの内部ブロック図を示し、図25Cにその外観図を示す。CPU530はシステム全体の制御などを行う。操作部531はCD-RWをユーザが操作するためのものである。ROM536には制御プログラムなどが格納され、RAM538はCPU530のワーク領域として機能する。

レーザ、モータ、光学系などからなる読み取り&書き込み部（データを取り込むための装置又はデータを記憶するための装置）533によりCD-RW532から読み取られたデータは、信号処理部534に入力され、エラー訂正処理などの所与の信号処理が施される。そして、信号処理が施されたデータが、バス506を介してデータ転送制御装置500に直接送られる。データ転送制

御装置 500 は、このデータにヘッダなどを付加することでパケットを生成し、PHY デバイス 502 を介してパーソナルコンピュータなどの他のノードに送信する。

一方、PHY デバイス 502、データ転送制御装置 500 を介して、他のノードから送られてきたデータは、バス 506 を介して信号処理部 534 に直接送られる。そして、信号処理部 534 によりこのデータに所与の信号処理が施され、読み取り & 書き込み部 533 により CD-RW 532 に記憶される。

なお、図 24A、図 24B、図 24C において、CPU 510、520、530 の他に、データ転送制御装置 500 でのデータ転送制御のための CPU を別に設けるようにしてもよい。

また、図 24A、図 24B、図 24C では RAM 501（図 4 の RAM 80 に相当）がデータ転送制御装置 500 の外部に設けられているが、RAM 501 をデータ転送制御装置 500 に内蔵させてもよい。

本実施形態のデータ転送制御装置を電子機器に用いることで、高速なデータ転送が可能になる。従って、ユーザがパーソナルコンピュータなどによりプリントアウトの指示を行った場合に、少ないタイムラグで印字が完了するようになる。また、スキャナへの画像取り込みの指示の後に、少ないタイムラグで読み取り画像をユーザは見るようになる。また、CD-RW からのデータの読み取りや、CD-RW へのデータの書き込みを高速に行うことができるようになる。更に、例えば 1 つのホストシステムに複数の電子機器を接続して利用したり、複数のホストシステムに複数の電子機器を接続して利用したりすることも容易になる。

また本実施形態のデータ転送制御装置を電子機器に用いることで、CPU 上で動作するファームウェアの処理負担が軽減され、安価な CPU や低速のバスを用いることが可能になる。更に、データ転送制御装置の低コスト化、小規模化を図れるため、電子機器の低コスト化、小規模化も図れるようになる。

なお本実施形態のデータ転送制御装置を適用できる電子機器としては、上記

以外にも例えば、種々の光ディスクドライブ（CD-ROM、DVD）、光磁気ディスクドライブ（MO）、ハードディスクドライブ、TV、VTR、ビデオカメラ、オーディオ機器、電話機、プロジェクタ、パーソナルコンピュータ、電子手帳、ワードプロセッサなど種々のものを考えることができる。

- 5       なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

例えば、本発明のデータ転送制御装置の構成は、図4に示す構成が特に望ましいが、これに限定されるものではない。

- 10       また、パケットの分離手法、パケット記憶手段の各領域へのパケットの書き込み手法、読み出し手法も、図5、図10で説明した手法に限定されるものではない。

また、第1のデータはトランザクション層用のデータ、第2のデータはアプリケーション層用のデータであることが特に望ましいが、本発明の第1、第2のデータはこれに限定されるものではない。

- 15       また、応答パケットのトランザクション識別情報が含む指示情報に基づいて行う処理は、図14で説明したような、指示情報により指示される領域への応答パケット（ヘッダ、データ）の書き込み処理であることが特に望ましいが、これに限定されるものではない。

- 20       また、本発明は、IEEE1394規格でのデータ転送に適用されることが特に望ましいが、これに限定されるものではない。例えばIEEE1394と同様の思想に基づく規格やIEEE1394を発展させた規格におけるデータ転送にも本発明は適用できる。

## 請 求 の 範 囲

1. バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、

5 ノード間でのパケット転送のためのサービスを提供するリンク手段と、

前記リンク手段を介して受信したパケットを、ランダムアクセス可能なパケット記憶手段に書き込む書き込み手段と、

10 パケットの制御情報を、前記パケット記憶手段の制御情報領域に書き込み、パケットの第1の層用の第1のデータを、前記パケット記憶手段の第1のデータ領域に書き込み、パケットの、前記第1の層の上層である第2の層用の第2のデータを、前記パケット記憶手段の第2のデータ領域に書き込むパケット分離手段と、

を含むことを特徴とするデータ転送制御装置。

2. 請求項1において、

15 前記第1のデータが、前記第1の層のプロトコルで使用されるコマンドデータであり、前記第2のデータが、アプリケーション層で使用されるデータであることを特徴とするデータ転送制御装置。

3. 請求項1において、

20 前記第2のデータ領域がフルである場合には、前記書き込み手段による前記第2のデータ領域への前記第2のデータの書き込みを禁止するためにフル信号をアクティブにし、前記第2のデータ領域がエンプティである場合には、前記第2の層による前記第2のデータ領域からの前記第2のデータの読み出しを禁止するためにエンプティ信号をアクティブにする領域管理手段を含むことを特徴とするデータ転送制御装置。

25 4. 請求項1において、

トランザクションを開始させる要求パケットを応答ノードに対して送信する際に、前記要求パケットに含まれるトランザクション識別情報の中に、応答ノ

ードから応答パケットを受信した際に行う処理を指示するための指示情報を含ませ、

応答ノードから応答パケットを受信した場合に、応答パケットのトランザクション識別情報が含む前記指示情報により指示される領域に、応答パケットの前記制御情報、前記第 1、第 2 のデータを書き込むことを特徴とするデータ転送制御装置。

5. バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、

トランザクションを開始させる要求パケットを応答ノードに対して送信する際に、前記要求パケットに含まれるトランザクション識別情報の中に、応答ノードから応答パケットを受信した際に行う処理を指示するための指示情報を含ませる手段と、

応答ノードから応答パケットを受信した場合に、応答パケットのトランザクション識別情報が含む前記指示情報により指示される処理を行う手段と、

を含むことを特徴とするデータ転送制御装置。

6. 請求項 5 において、

応答ノードから応答パケットを受信した場合に、応答パケットのトランザクション識別情報が含む前記指示情報により指示される領域に、前記応答パケットの制御情報、データを書き込むことを特徴とするデータ転送制御装置。

7. 請求項 5 において、

前記トランザクション識別情報の所与のビットが、前記指示情報を表すビットとして前もって予約されることを特徴とするデータ転送制御装置。

8. 請求項 5 において、

前記トランザクション識別情報が、IEEE 1394 の規格におけるトランザクションラベルであることを特徴とするデータ転送制御装置。

9. バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、

ノード間でのパケット転送のためのサービスを提供するリンク手段と、  
パケットを格納するためのランダムアクセス可能なパケット記憶手段と、  
前記リンク手段を介して各ノードから転送されてくるパケットを前記パケット記憶手段に書き込む書き込み手段と、

- 5 前記パケット記憶手段に書き込まれたパケットを読み出し、前記リンク手段に渡す読み出し手段とを含み、

前記パケット記憶手段が、パケットの制御情報が格納される制御情報領域と、  
パケットのデータが格納されるデータ領域とに分離され、前記データ領域が、  
第1の層用の第1のデータが格納される第1のデータ領域と、前記第1の層の  
10 上層である第2の層用の第2のデータが格納される第2のデータ領域とに分離  
されていることを特徴とするデータ転送制御装置。

10. 請求項9において、

前記第2のデータ領域に送信領域を確保するための送信領域スタートアドレスを記憶する第1のアドレス記憶手段と、

- 15 前記第2のデータ領域に送信領域を確保するための送信領域エンドアドレスを記憶する第2のアドレス記憶手段と、

前記第2のデータ領域に受信領域を確保するための受信領域スタートアドレスを記憶する第3のアドレス記憶手段と、

- 20 前記第2のデータ領域に受信領域を確保するための受信領域エンドアドレスを記憶する第4のアドレス記憶手段と、

を含むことを特徴とするデータ転送制御装置。

11. 請求項10において、

- 前記送信領域スタートアドレス及び前記受信領域スタートアドレスが、前記  
第2のデータ領域のスタートアドレスに設定され、前記送信領域エンドアドレ  
25 ス及び前記受信領域エンドアドレスが、前記第2のデータ領域のエンドアドレ  
スに設定されることを特徴とするデータ転送制御装置。

12. 請求項10において、

前記送信領域スタートアドレス及び前記送信領域エンドアドレスの双方が、  
前記第2のデータ領域のスタートアドレス又はエンドアドレスのいずれか一方  
に設定され、前記受信領域スタートアドレスが前記第2のデータ領域のスター  
トアドレスに設定され、前記受信領域エンドアドレスが前記第2のデータ領域  
5 のエンドアドレスに設定されることを特徴とするデータ転送制御装置。

13. 請求項10において、

前記受信領域スタートアドレス及び前記受信領域エンドアドレスの双方が、  
前記第2のデータ領域のスタートアドレス又はエンドアドレスのいずれか一方  
に設定され、前記送信領域スタートアドレスが前記第2のデータ領域のスター  
10 トアドレスに設定され、前記送信領域エンドアドレスが前記第2のデータ領域  
のエンドアドレスに設定されることを特徴とするデータ転送制御装置。

14. 請求項1において、

IEEE1394の規格に準拠したデータ転送を行うことを特徴とするデー  
タ転送制御装置。

15. 請求項5において、

IEEE1394の規格に準拠したデータ転送を行うことを特徴とするデー  
タ転送制御装置。

16. 請求項9において、

IEEE1394の規格に準拠したデータ転送を行うことを特徴とするデー  
20 タ転送制御装置。

17. 請求項1乃至4及び14のいずれかのデータ転送制御装置と、

前記データ転送制御装置及びバスを介して他のノードから受信したデータに  
所与の処理を施す装置と、

処理が施されたデータを出力又は記憶するための装置とを含むことを特徴と  
25 する電子機器。

18. 請求項5乃至8及び15のいずれかのデータ転送制御装置と、

前記データ転送制御装置及びバスを介して他のノードから受信したデータに

所与の処理を施す装置と、

処理が施されたデータを出力又は記憶するための装置とを含むことを特徴とする電子機器。

19. 請求項9乃至13及び16のいずれかのデータ転送制御装置と、

5 前記データ転送制御装置及びバスを介して他のノードから受信したデータに所与の処理を施す装置と、

処理が施されたデータを出力又は記憶するための装置とを含むことを特徴とする電子機器。

20. 請求項1乃至4及び14のいずれかのデータ転送制御装置と、

10 前記データ転送制御装置及びバスを介して他のノードに送信するデータに所与の処理を施す装置と、

処理が施されるデータを取り込むための装置とを含むことを特徴とする電子機器。

21. 請求項5乃至8及び15のいずれかのデータ転送制御装置と、

15 前記データ転送制御装置及びバスを介して他のノードに送信するデータに所与の処理を施す装置と、

処理が施されるデータを取り込むための装置とを含むことを特徴とする電子機器。

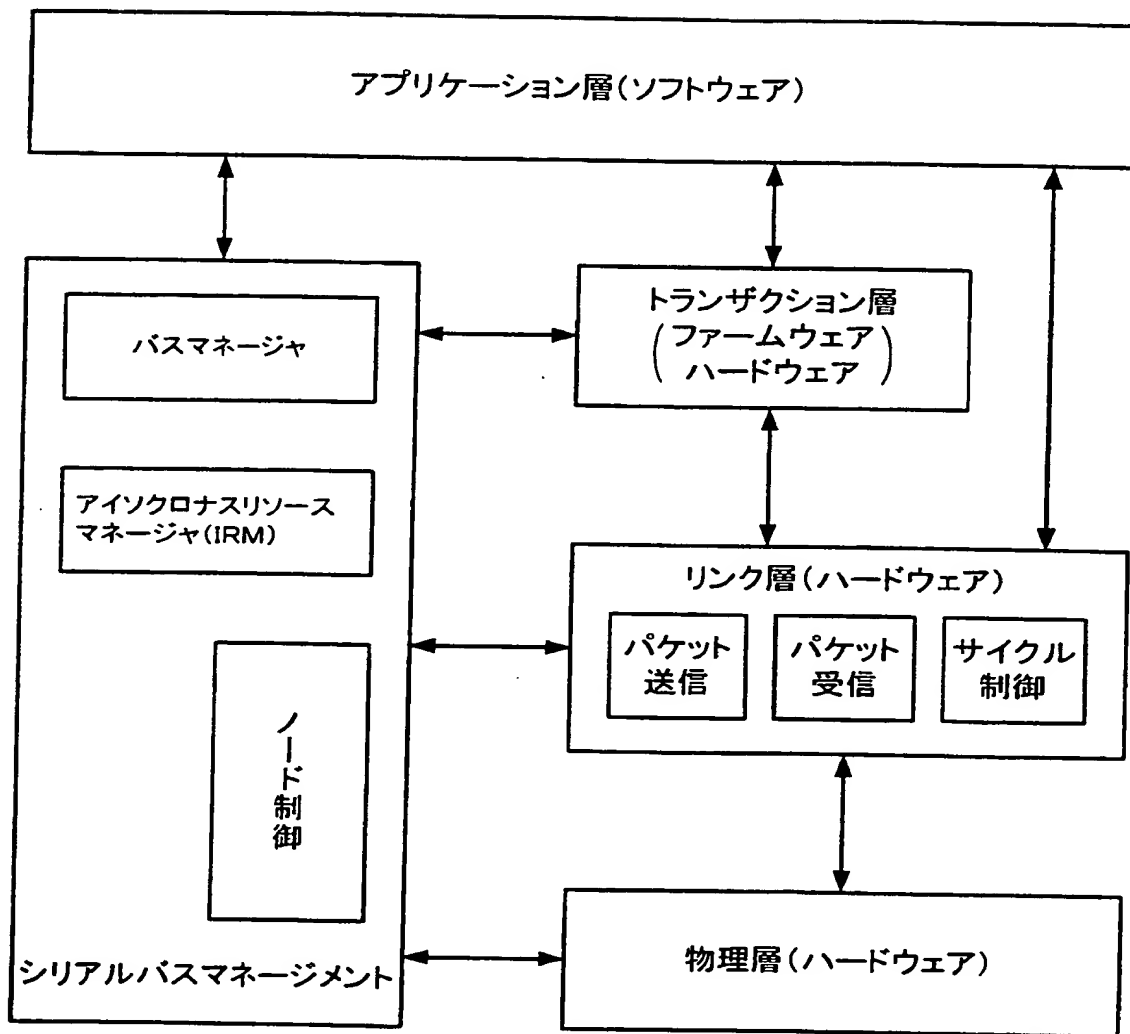
22. 請求項9乃至13及び16のいずれかのデータ転送制御装置と、

20 前記データ転送制御装置及びバスを介して他のノードに送信するデータに所与の処理を施す装置と、

処理が施されるデータを取り込むための装置とを含むことを特徴とする電子機器。

1/25

FIG.1



**THIS PAGE BLANK (USPTO)**

2/25

FIG.2A

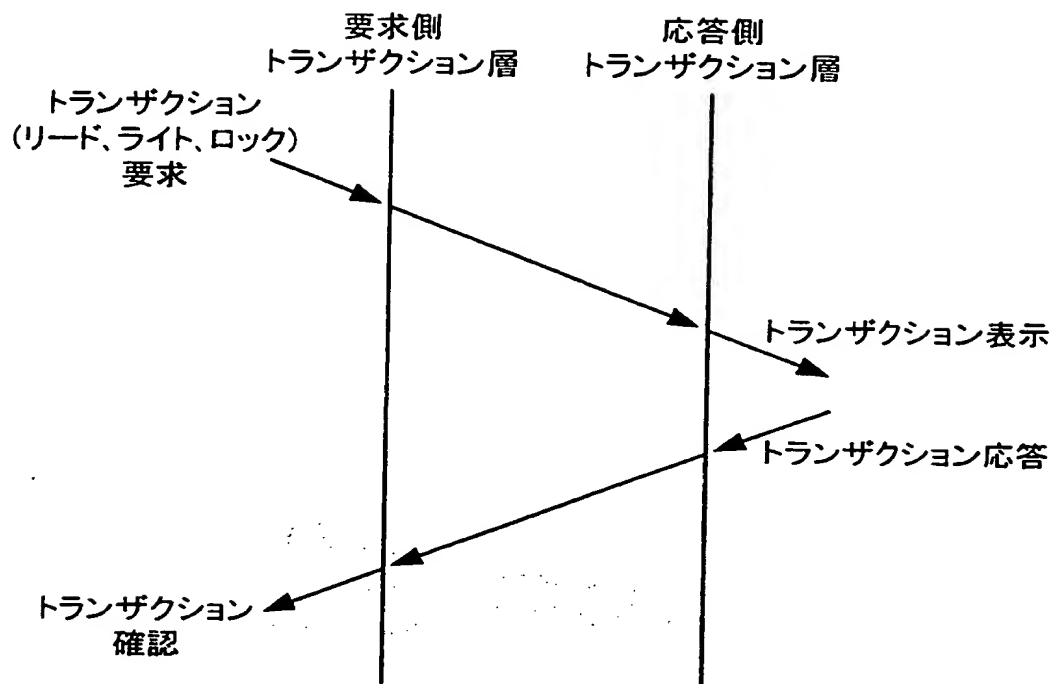
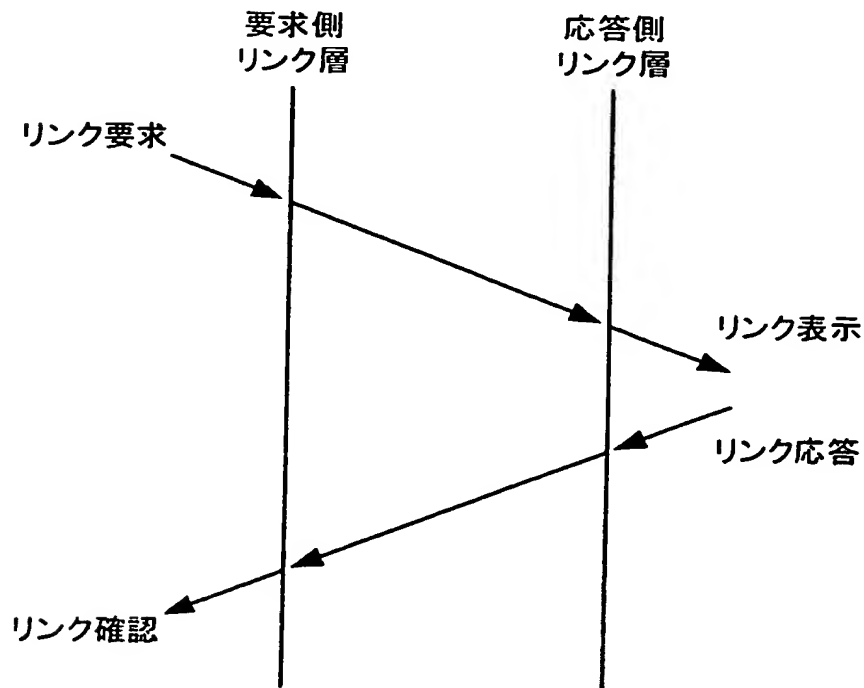
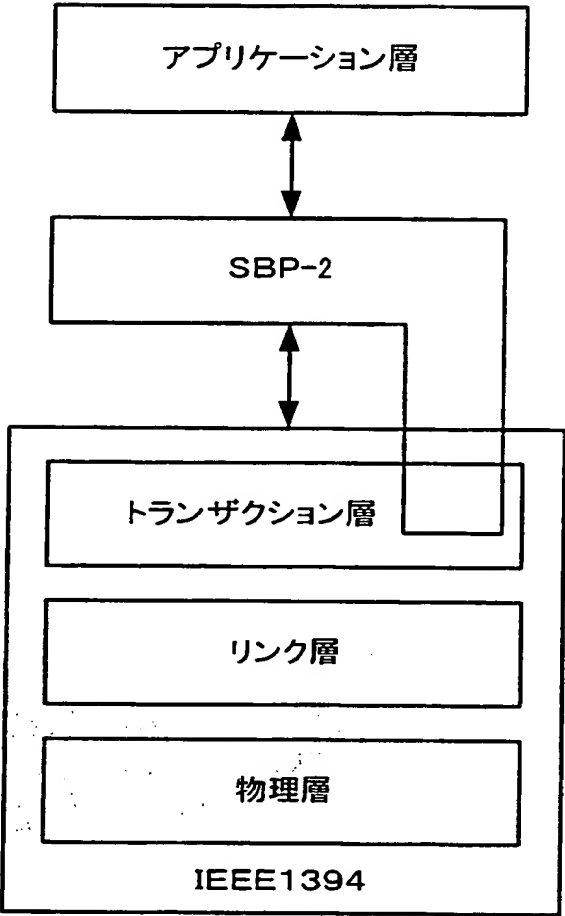


FIG.2B



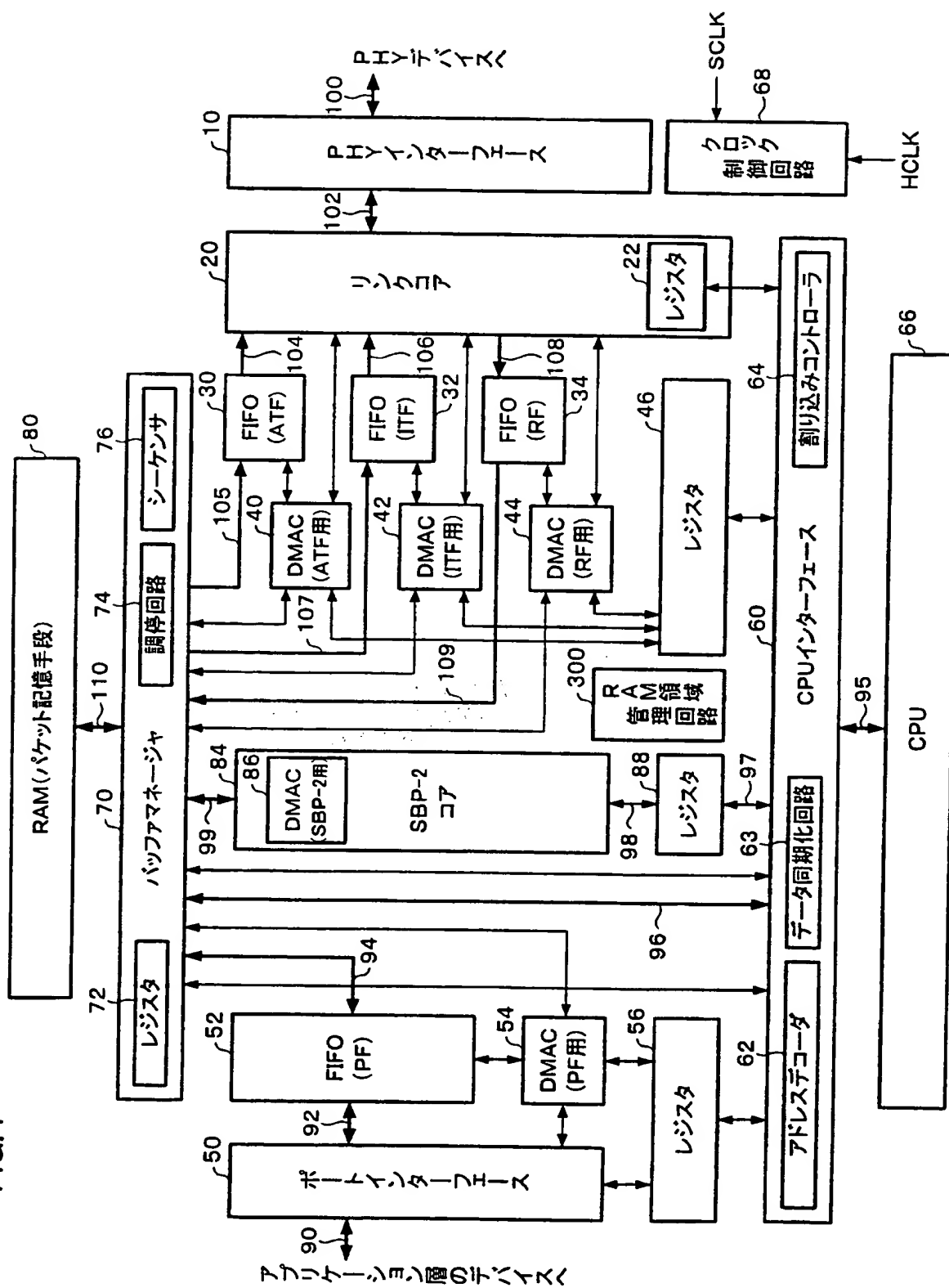
**THIS PAGE BLANK (USPTO)**

FIG.3



**THIS PAGE BLANK (USPTO)**

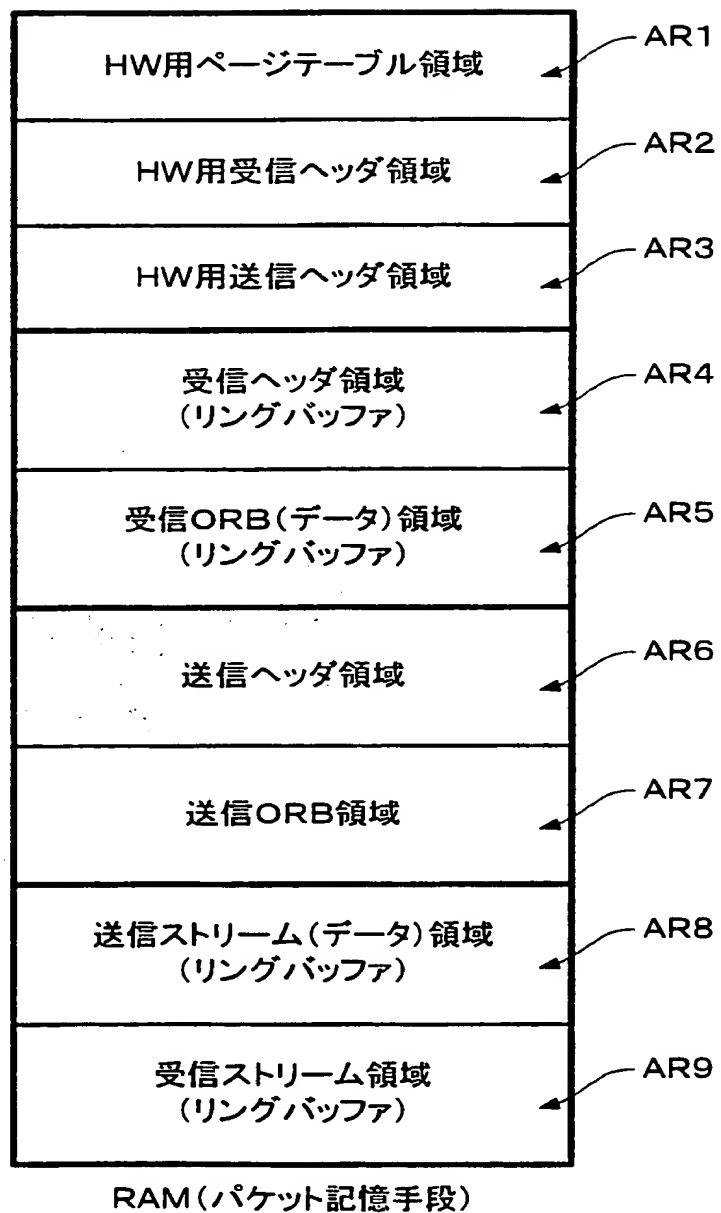
**FIG. 4**



**THIS PAGE BLANK (USPTO)**

5/25

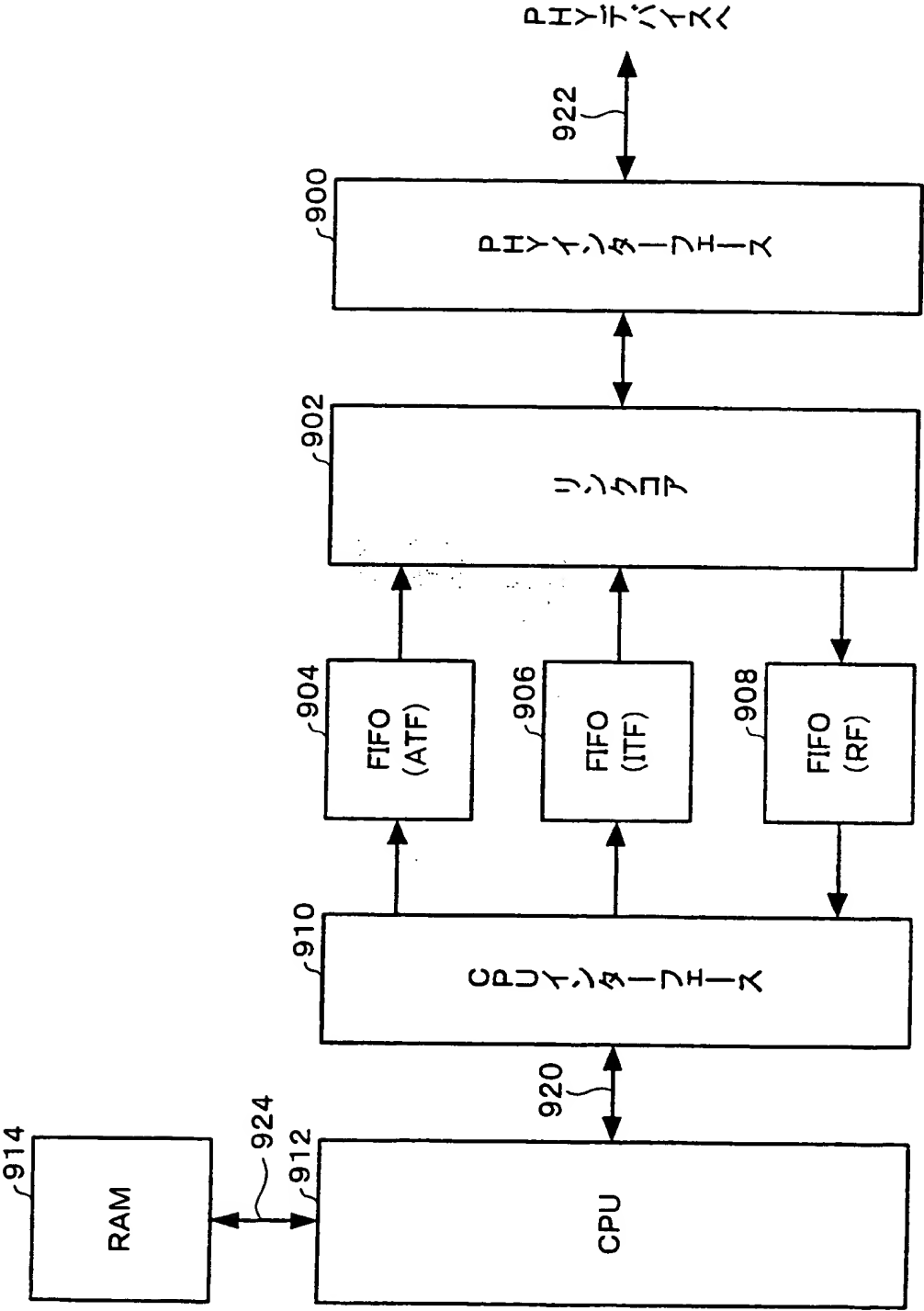
FIG.5



**THIS PAGE BLANK (USPTO)**

6/25

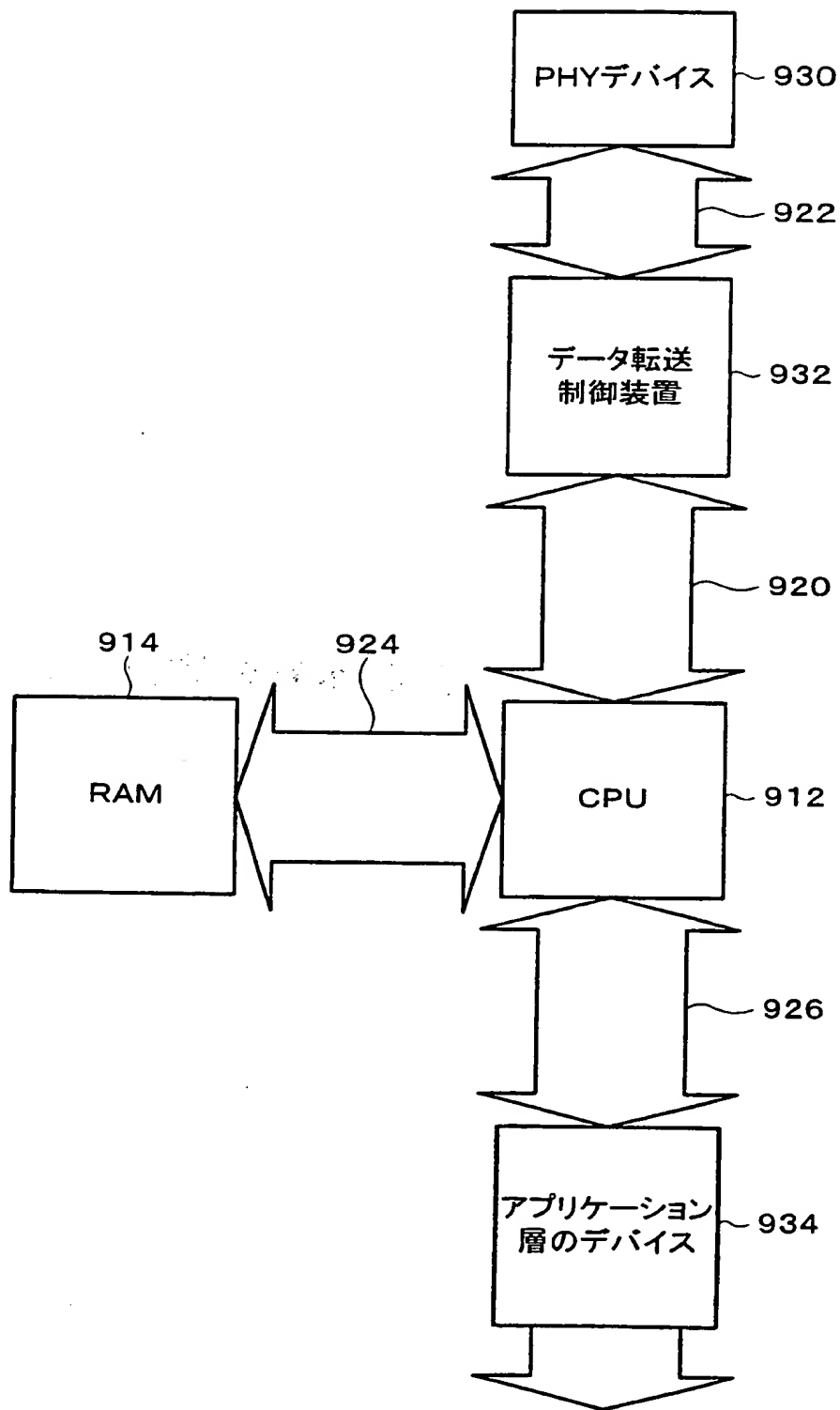
FIG.6



**THIS PAGE BLANK (USPTO)**

7/25

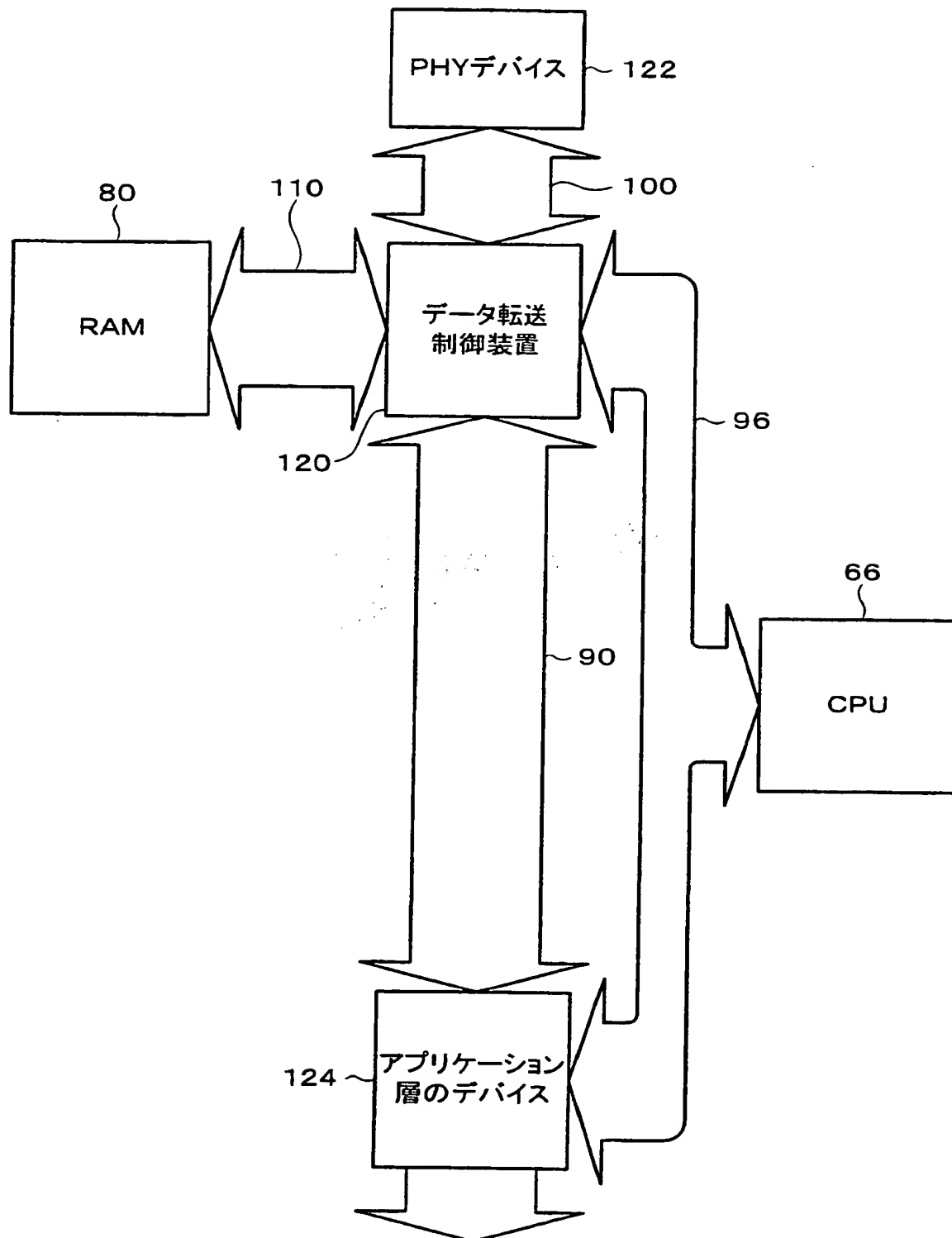
FIG.7



**THIS PAGE BLANK (USPTO)**

8/25

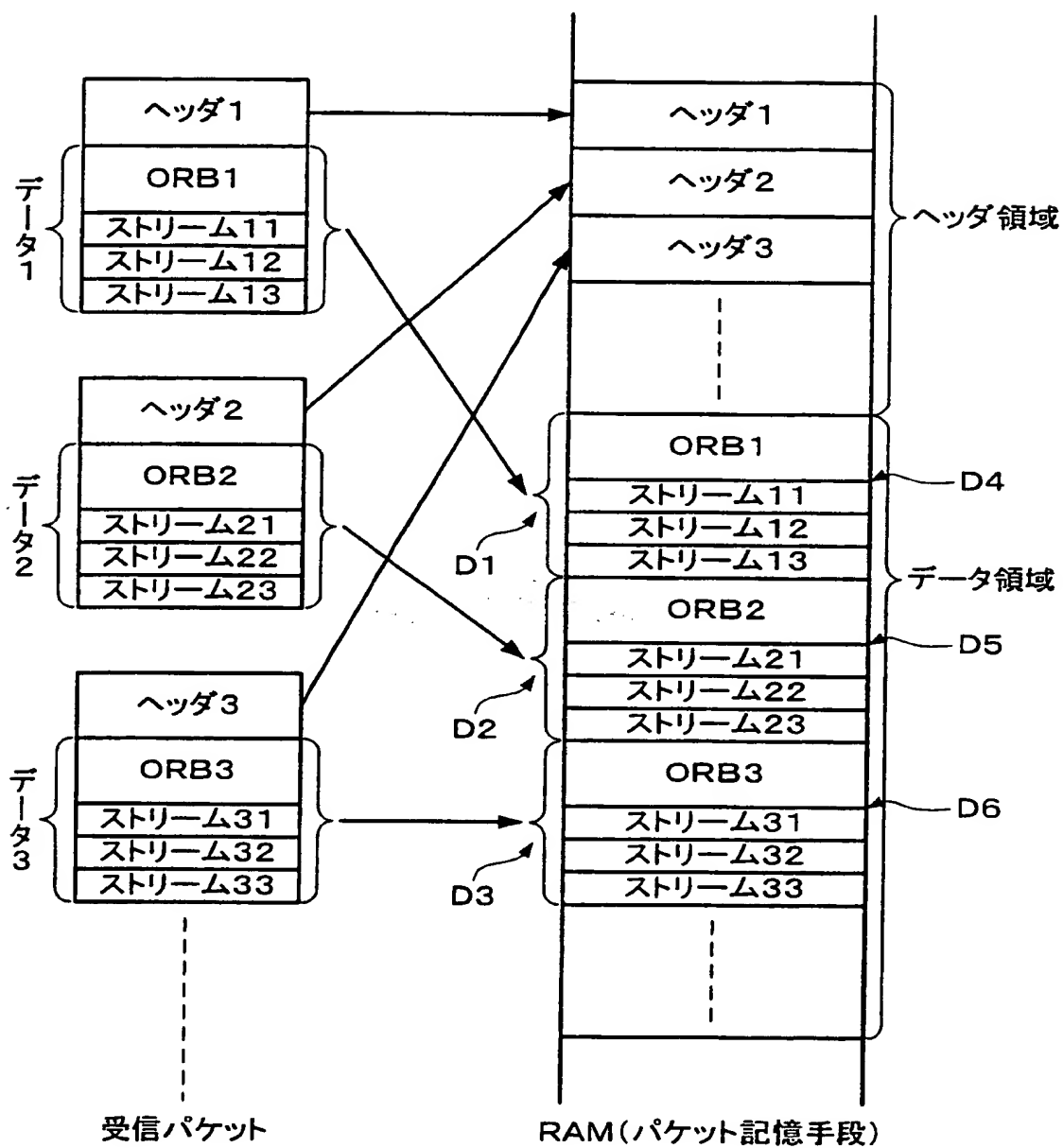
FIG.8



**THIS PAGE BLANK (USPTO)**

9/25

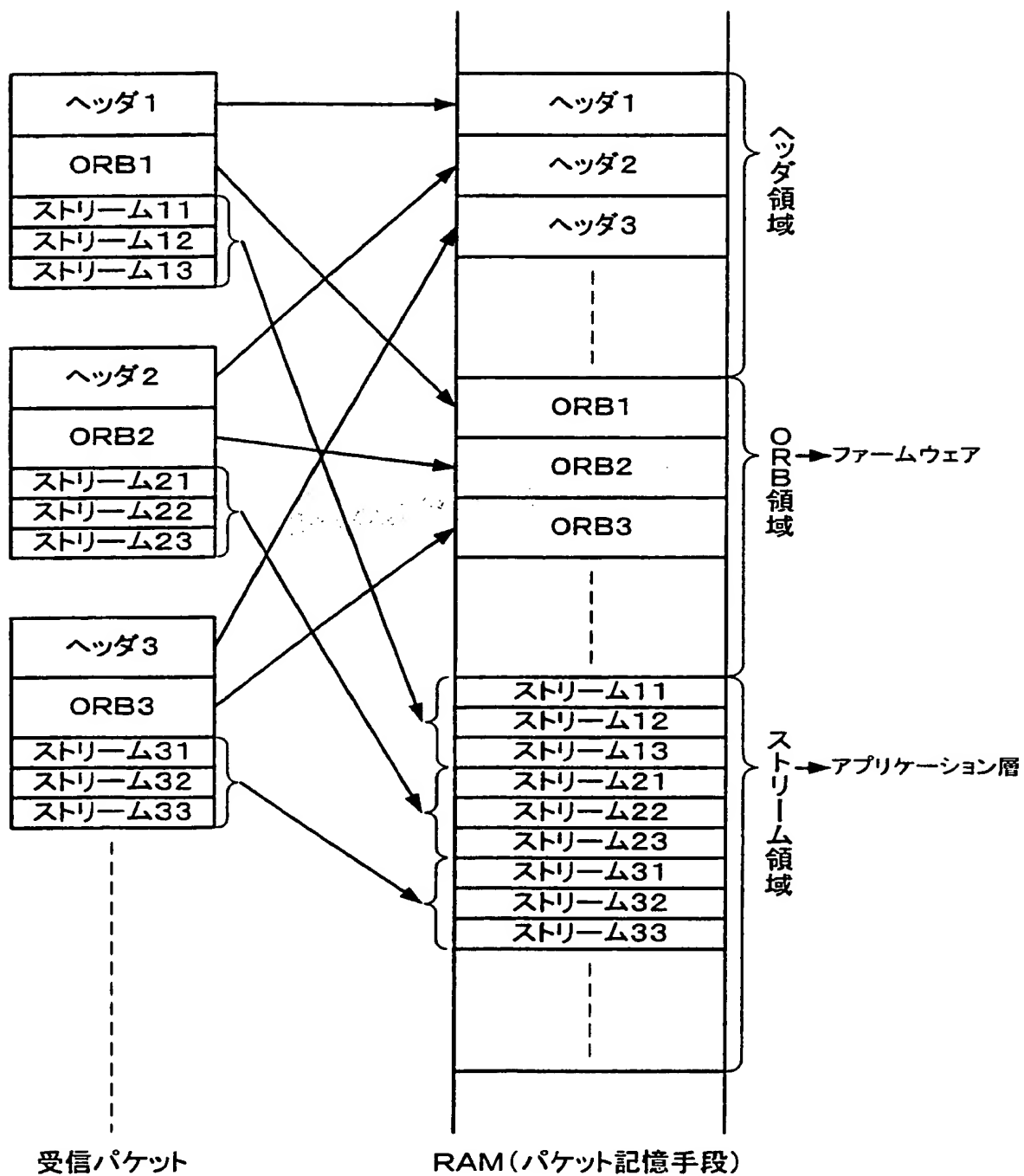
FIG.9



**THIS PAGE BLANK (USPTO)**

10/25

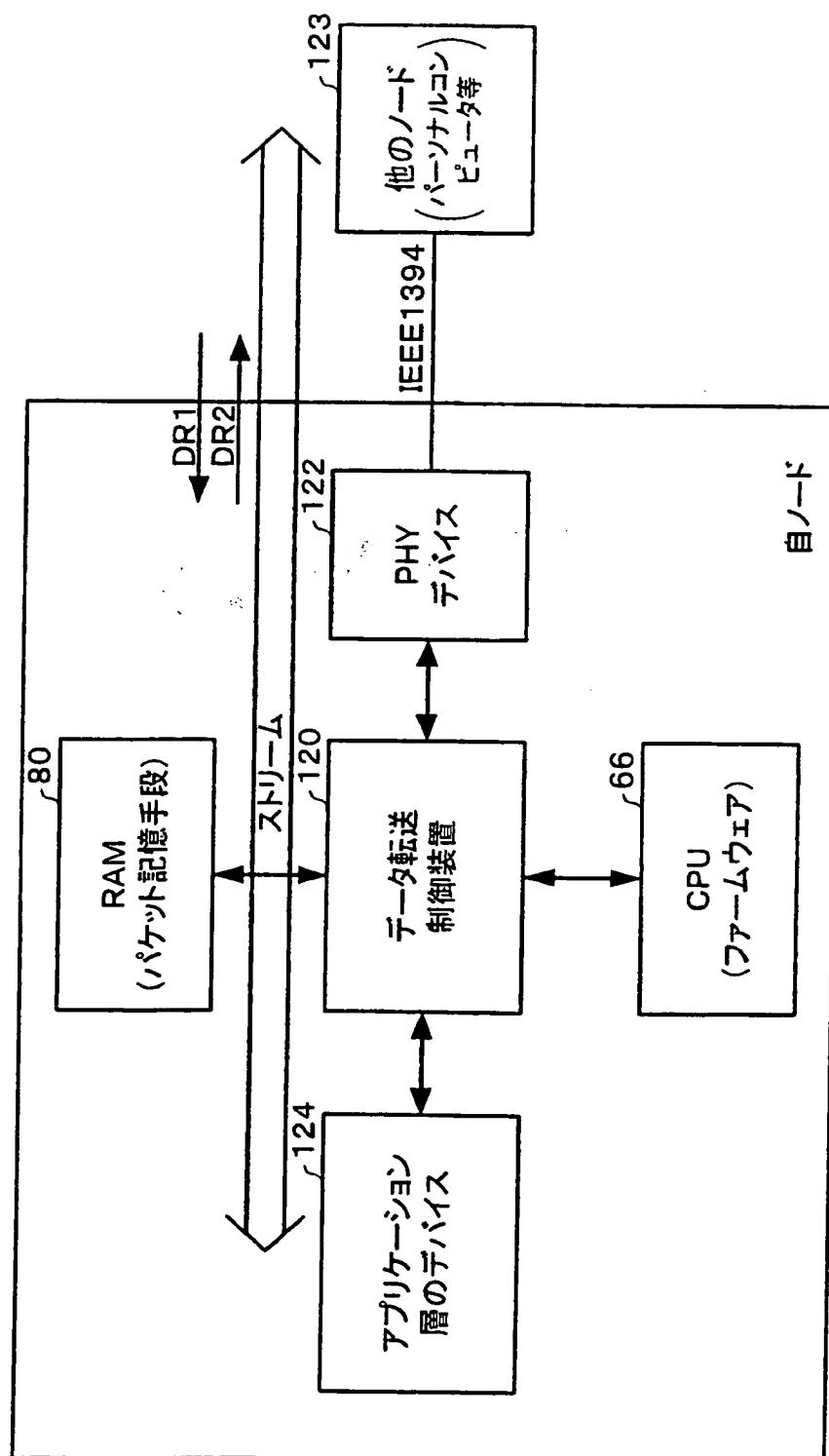
FIG.10



**THIS PAGE BLANK (USPTO)**

11/25

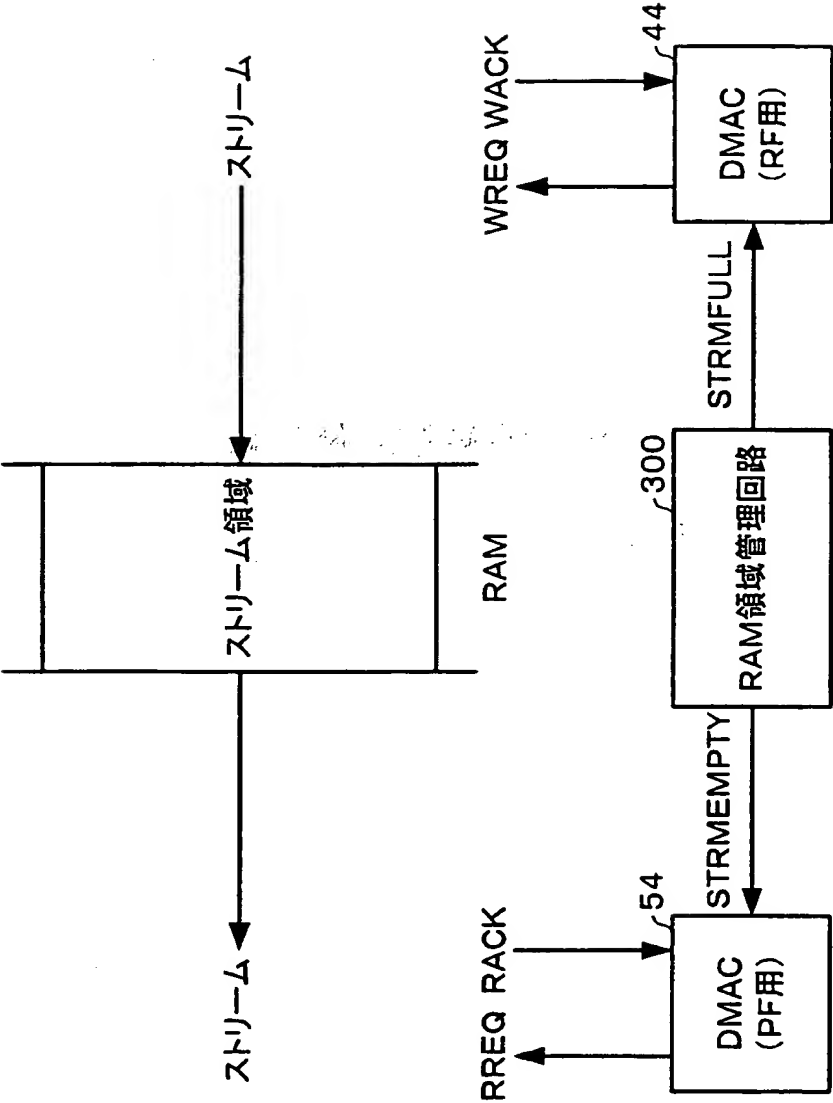
FIG.11



**THIS PAGE BLANK (USPTO)**

12/25

FIG.12



**THIS PAGE BLANK (USPTO)**

13/25

FIG.13A

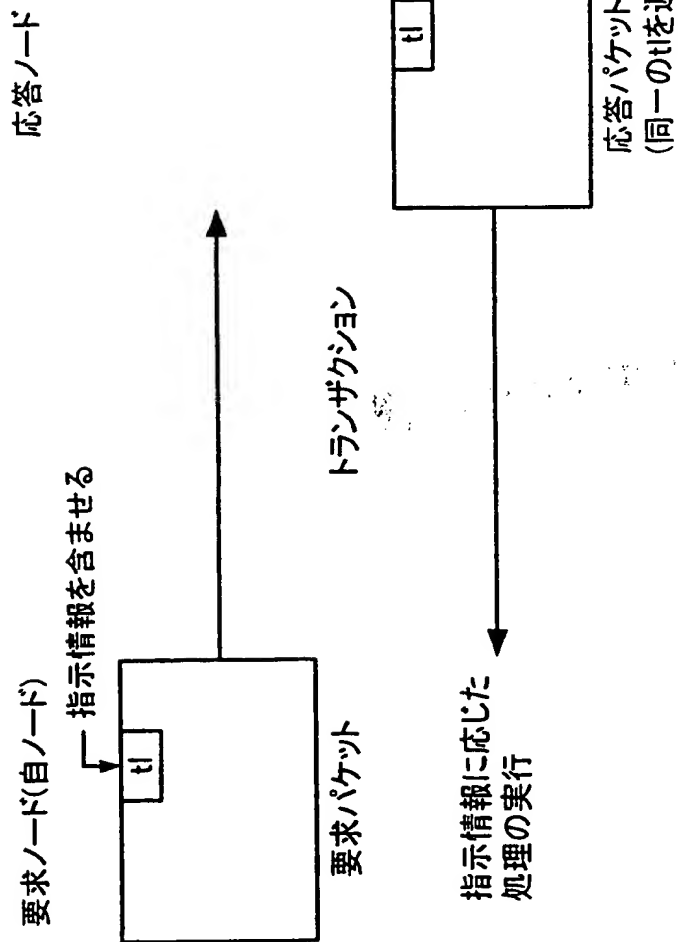
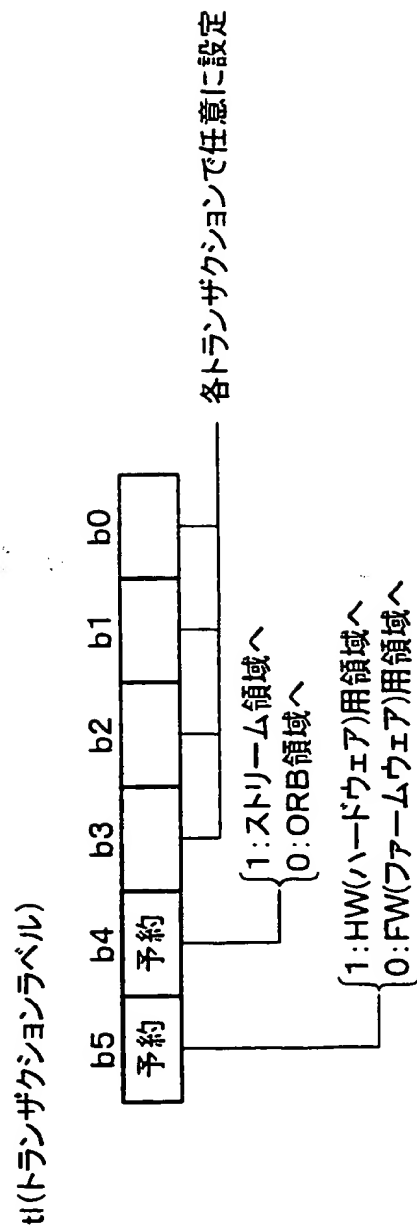


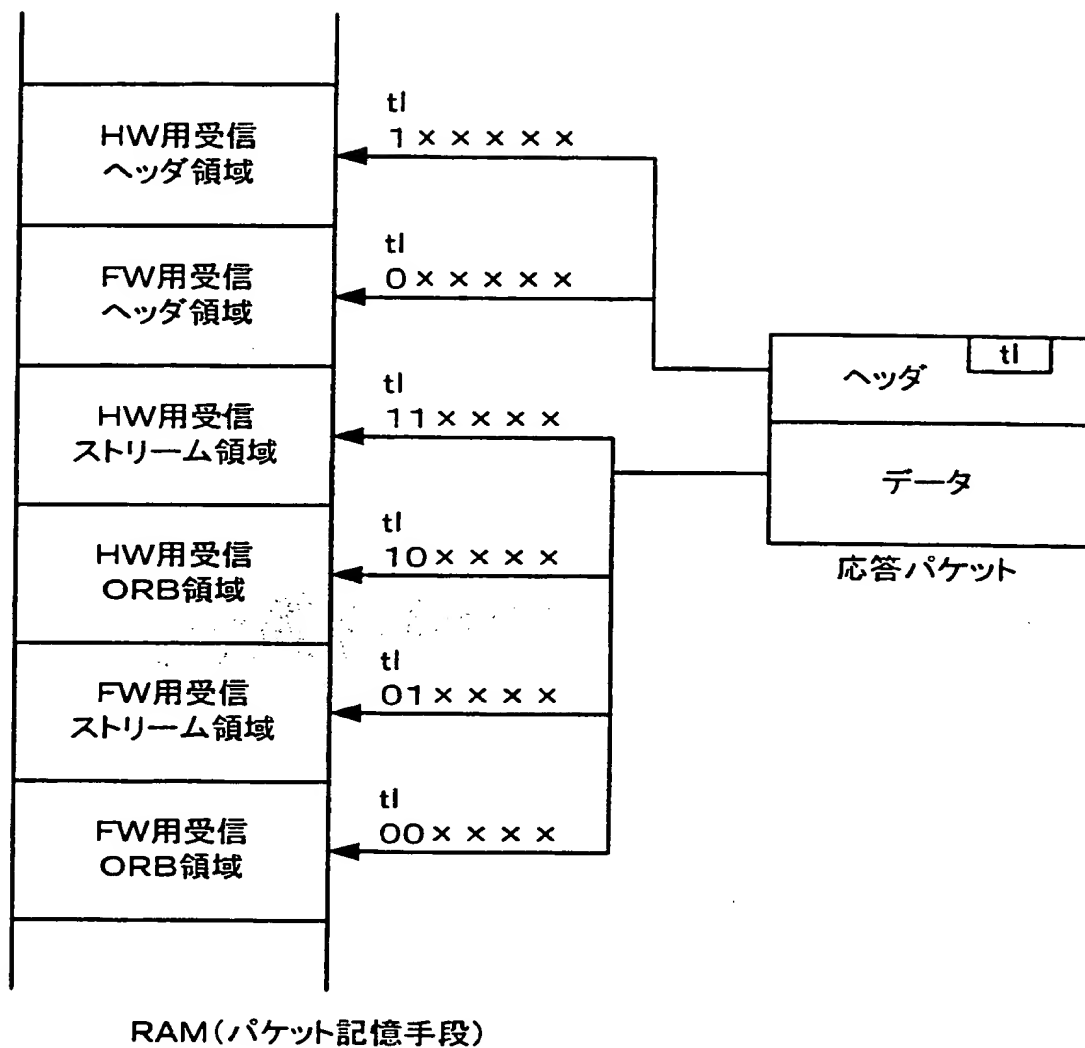
FIG.13B



**THIS PAGE BLANK (USPTO)**

14/25

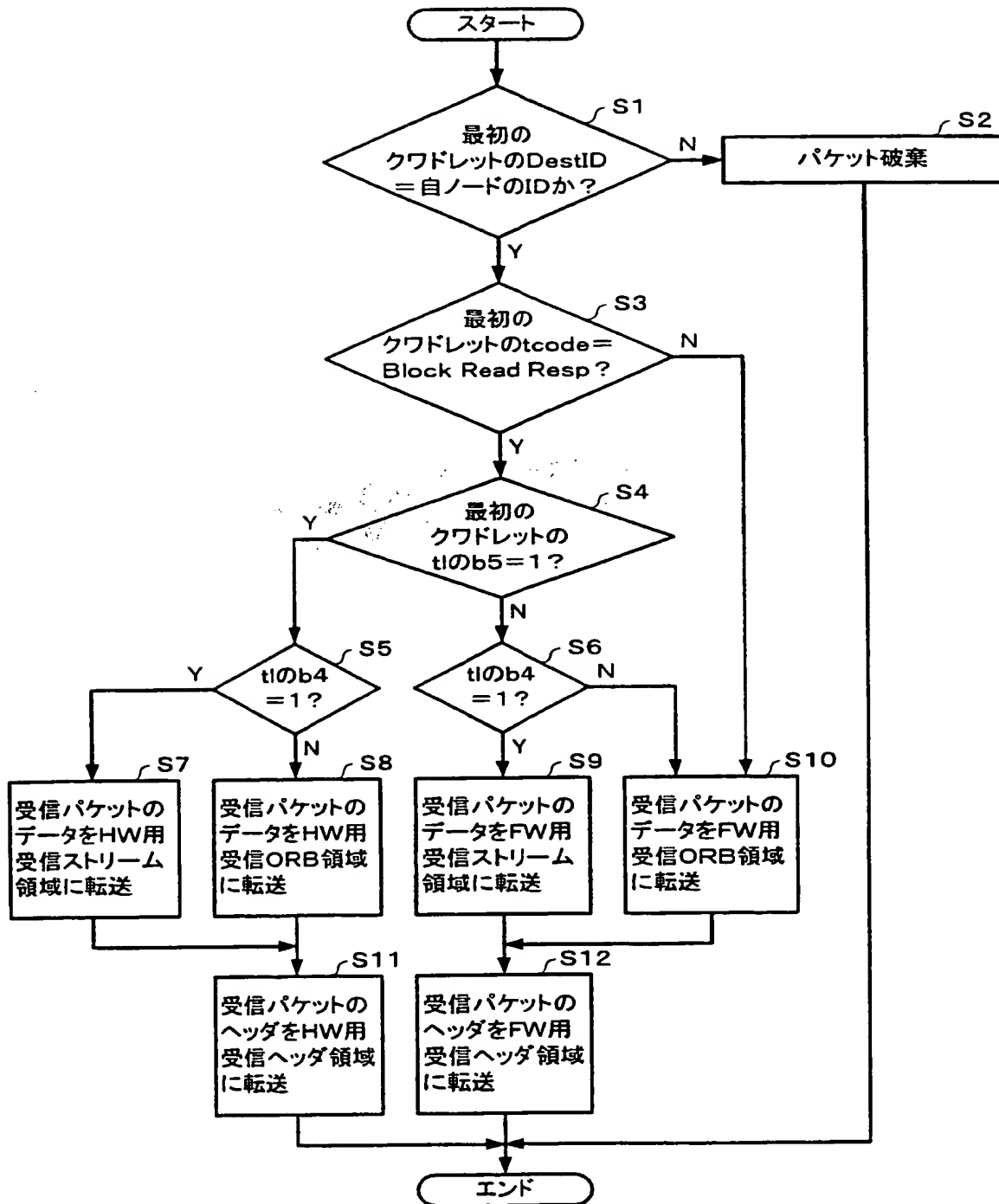
FIG.14



**THIS PAGE BLANK (USPTO)**

15/25

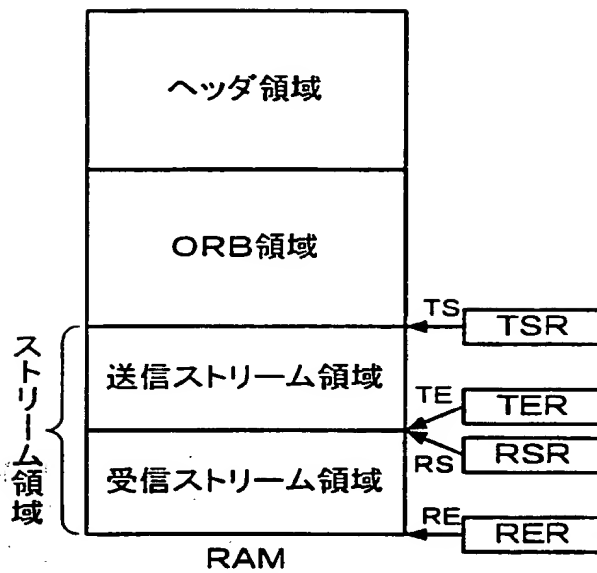
FIG.15



**THIS PAGE BLANK (USPTO)**

16/25

FIG.16



**THIS PAGE BLANK (USPTO)**

17/25

FIG.17A

第1のモード

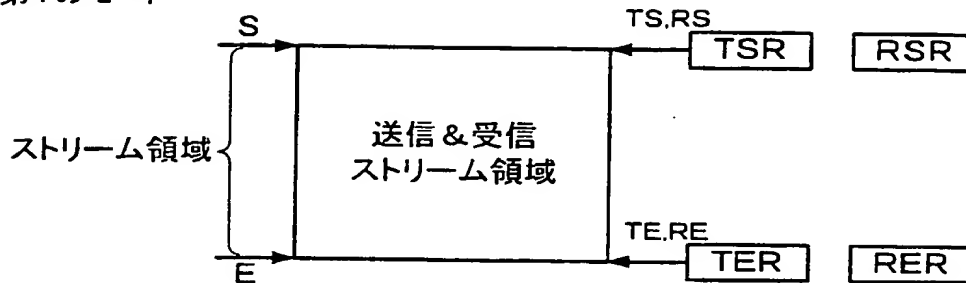


FIG.17B

第2のモード

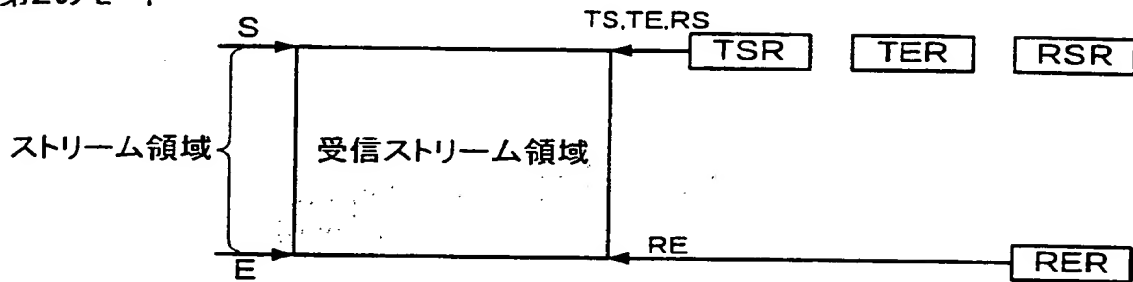


FIG.17C

第3のモード

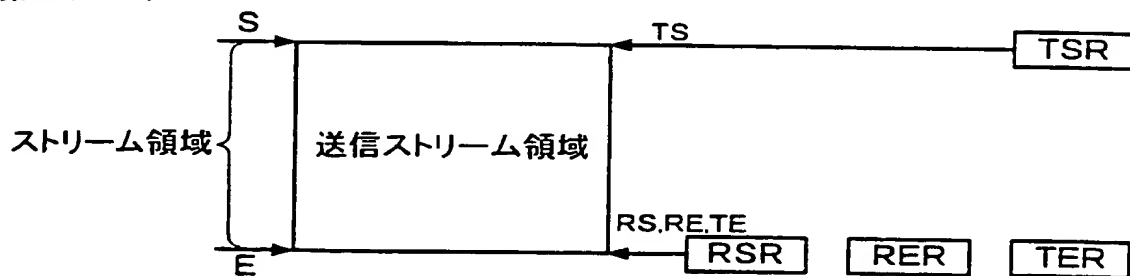
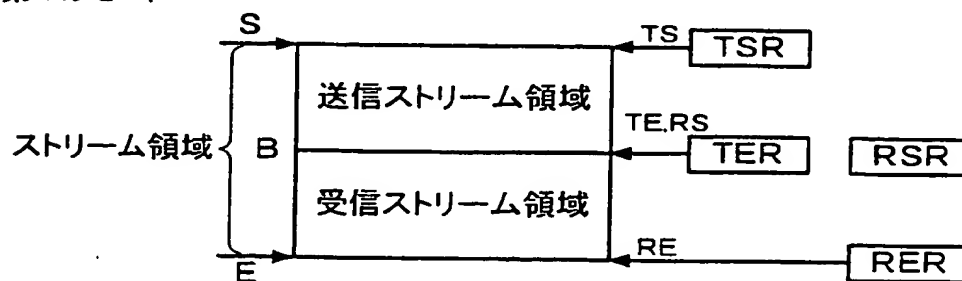


FIG.17D

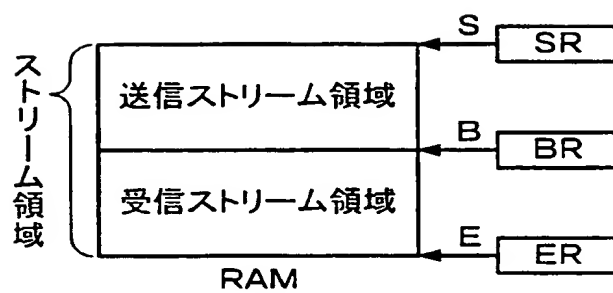
第4のモード



**THIS PAGE BLANK (USPTO)**

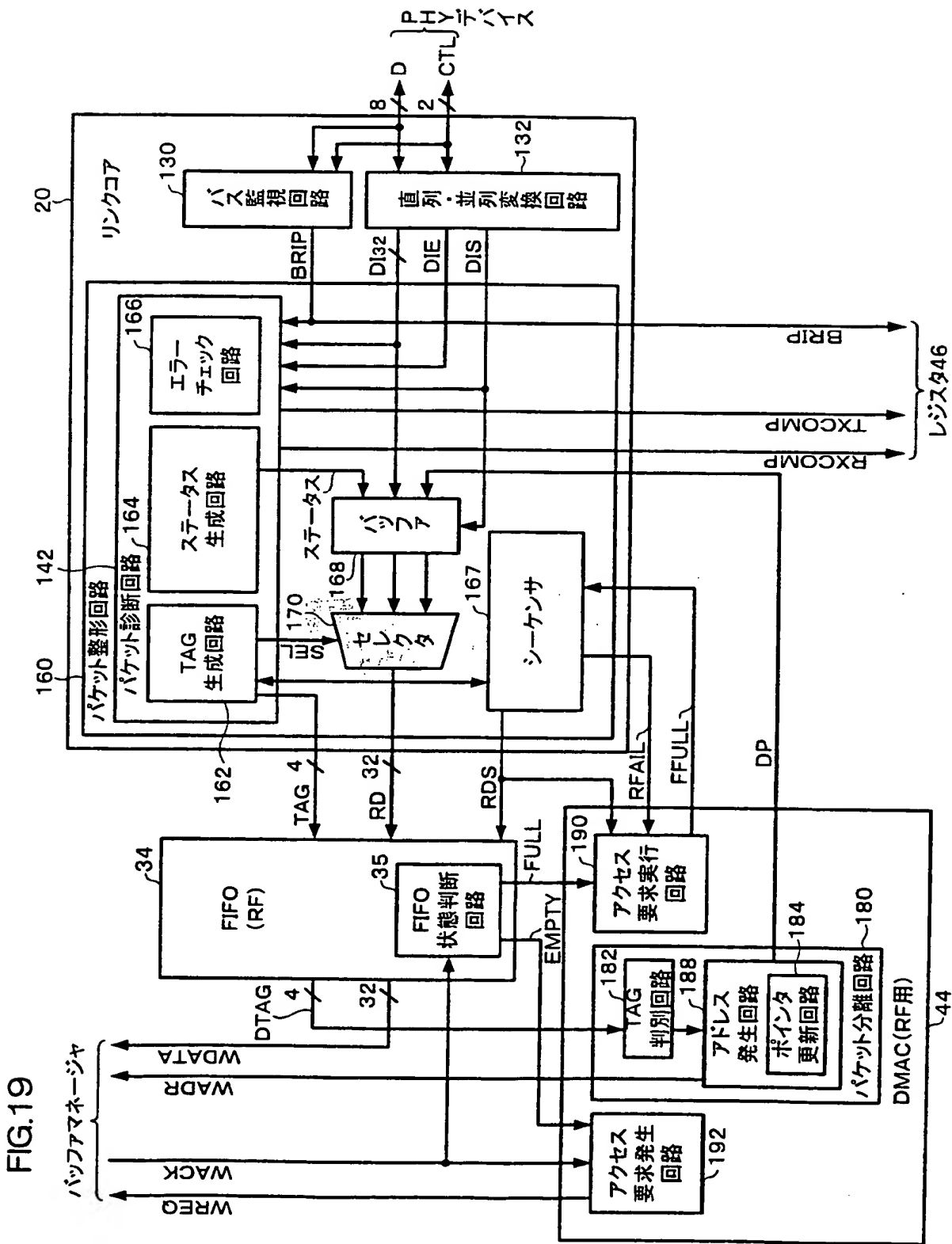
18/25

FIG.18



**THIS PAGE BLANK (08/10)**

19/25



**THIS PAGE BLANK (USPTO)**

FIG.20A

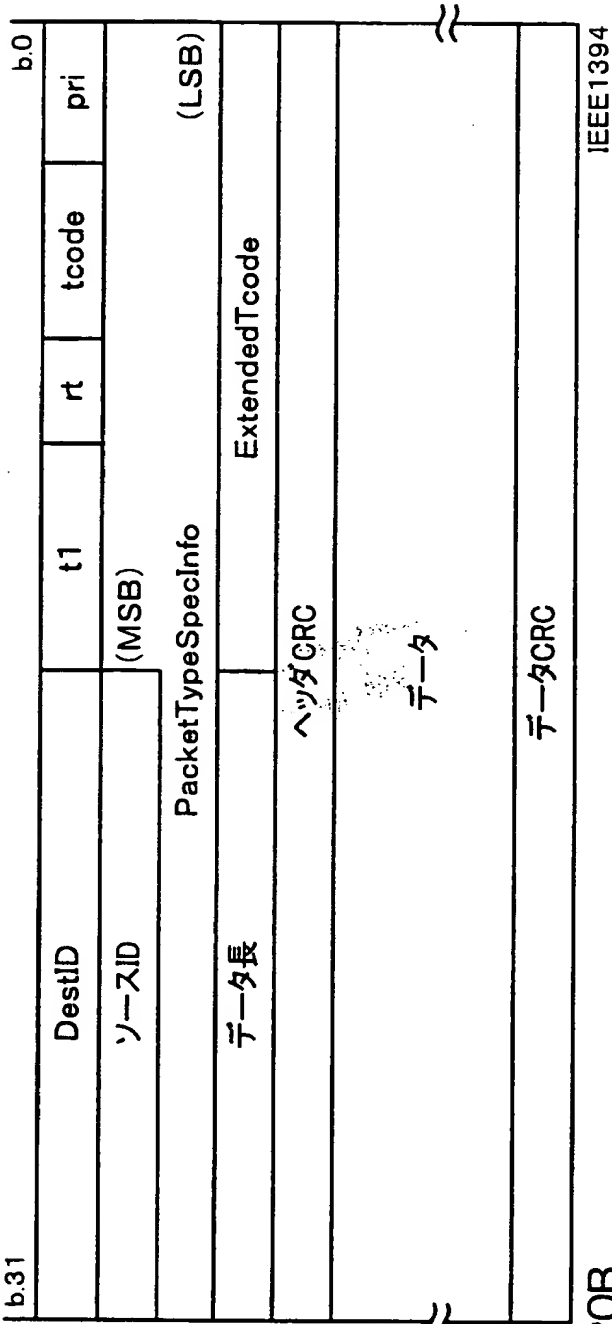
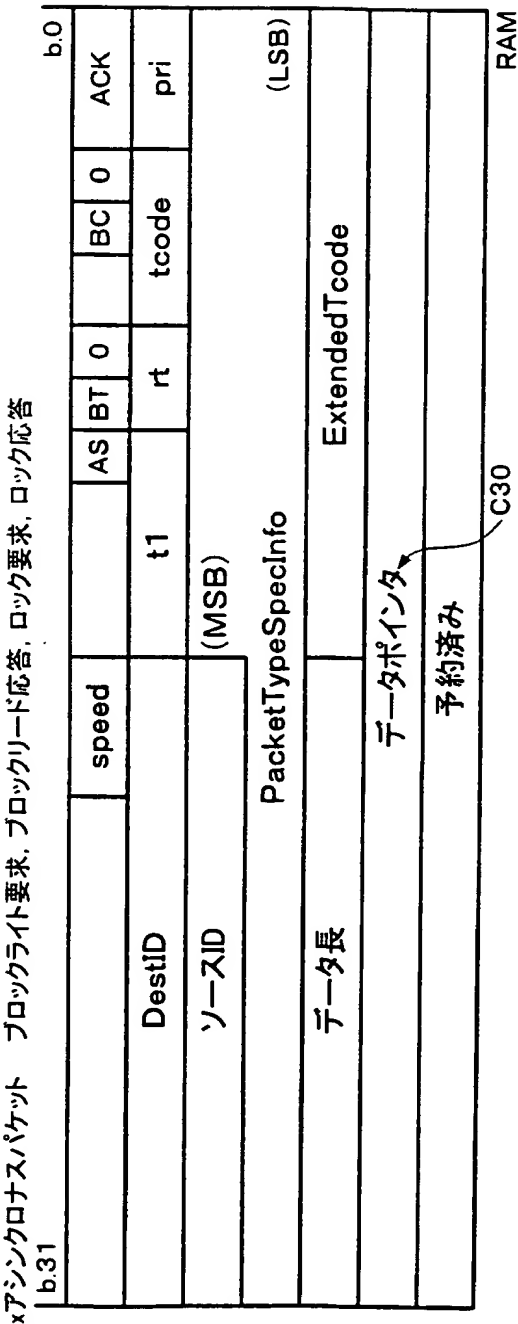


FIG.20B



**THIS PAGE BLANK (USPTO)**

21/25

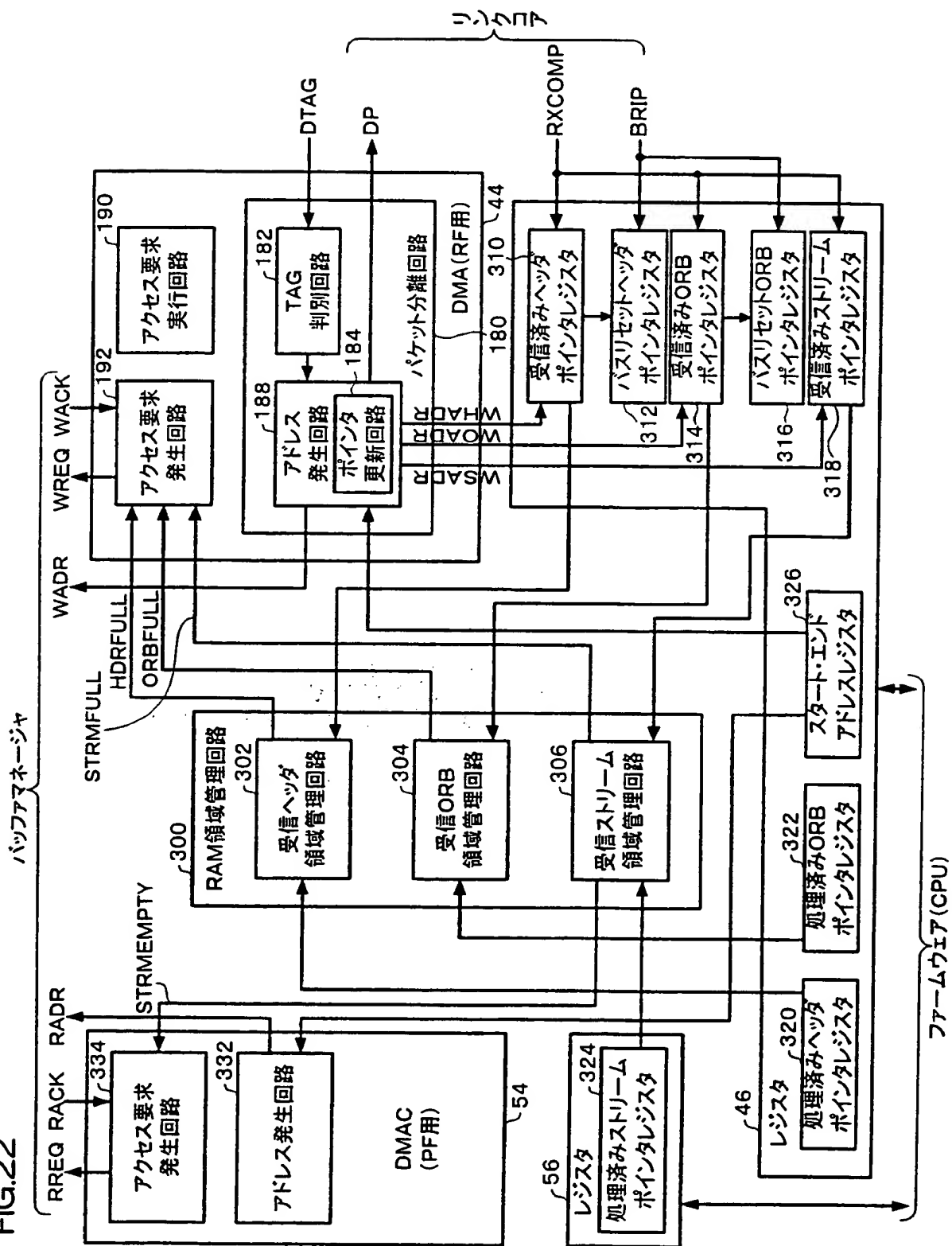
FIG.21

TAG(DTAG)	意味
0001	FW-SOP
0010	FW-HDR
0011	FW-FTR
0100	FW-ORB
0101	FW-STRM
1001	HW-SOP
1010	HW-HDR
1011	HW-FTR
1100	HW-ORB
1101	HW-STRM

FW ..... ファームウェア  
HW ..... ハードウェア  
SOP ..... スタートオブパケット  
            (受信パケットの最初の1クワドレット)  
HDR ..... SOP以外のヘッダ  
FTR ..... ACK送信  
ORB ..... ORB(データ)  
STRM ..... ストリーム(データ)

**THIS PAGE BLANK (USPTO)**

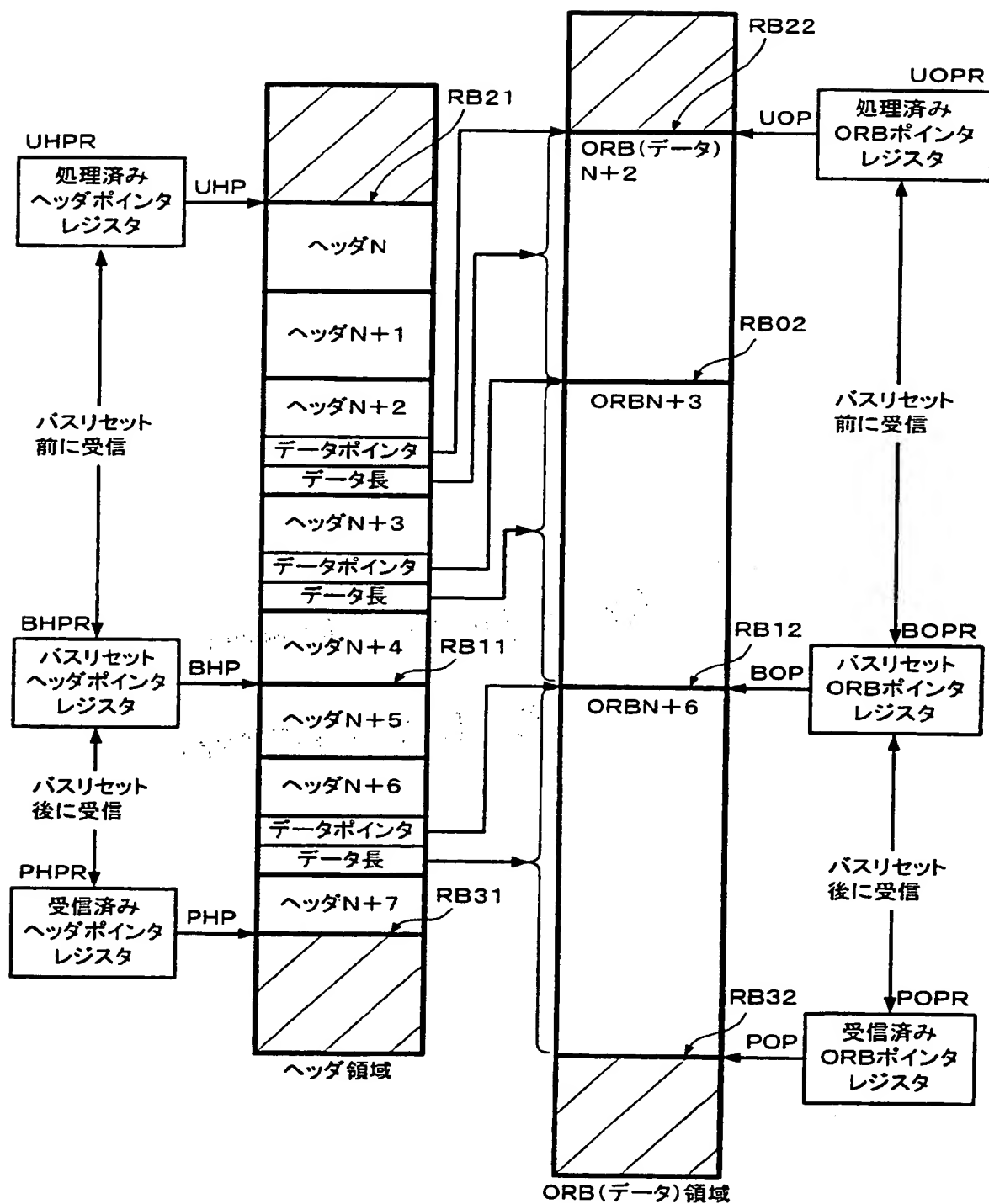
FIG. 22



**THIS PAGE BLANK (USPTO)**

23/25

FIG.23



**THIS PAGE BLANK (USPTO)**

24/25

FIG.24A

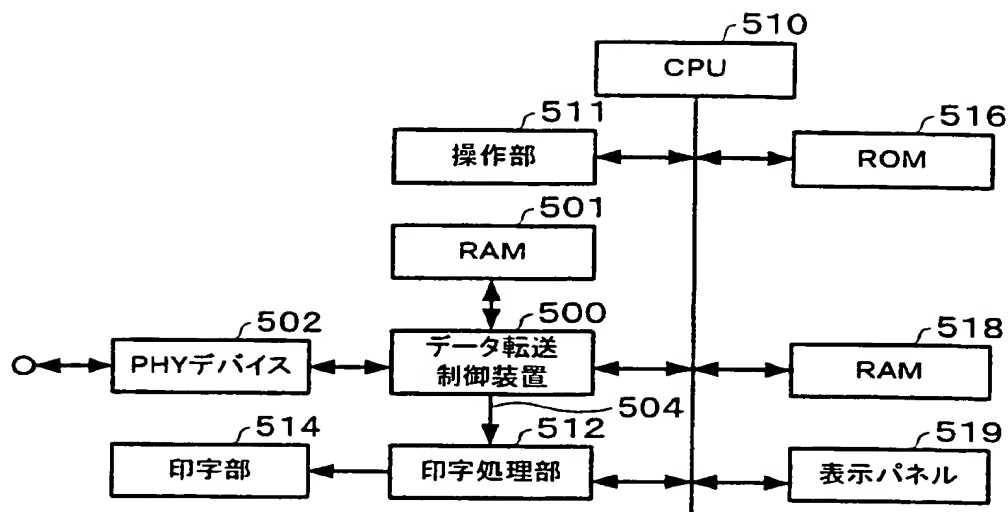


FIG.24B

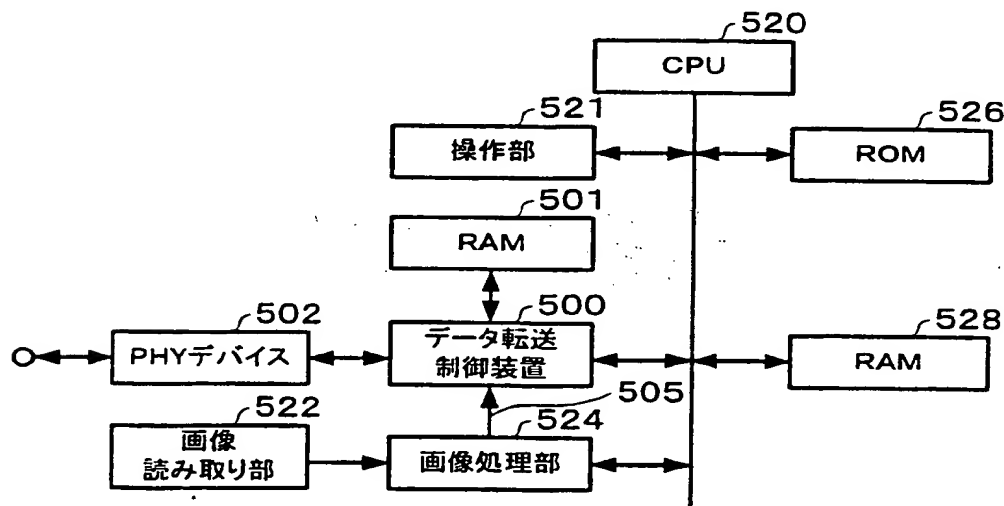
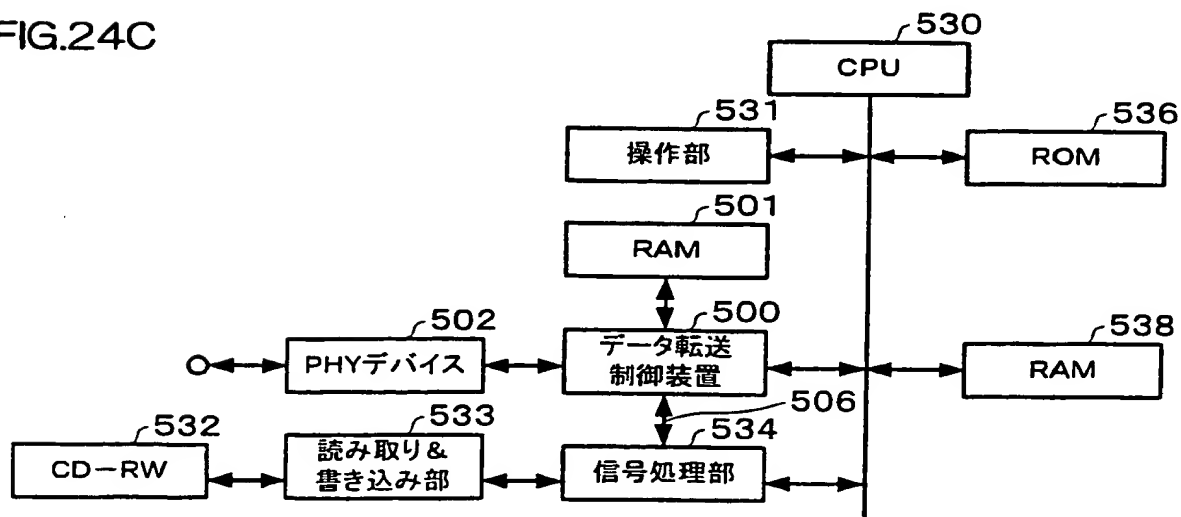


FIG.24C



**THIS PAGE BLANK (USPTO)**

25/25

FIG.25A

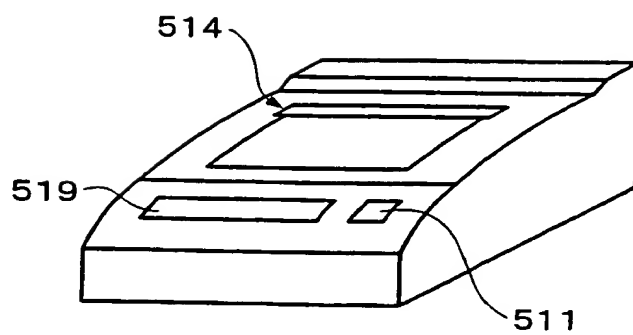


FIG.25B

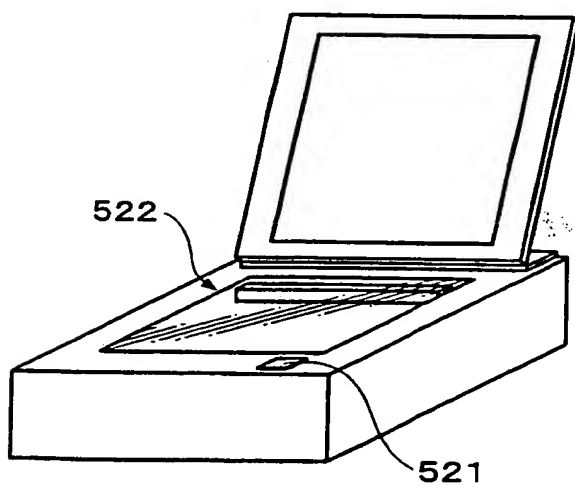
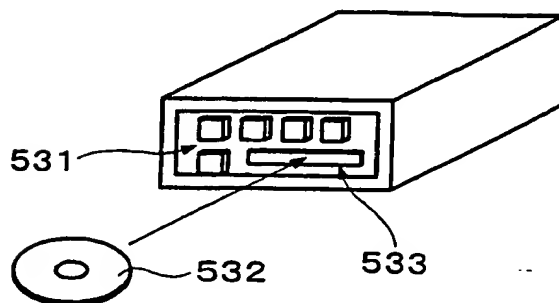


FIG.25C



**THIS PAGE BLANK (USPTO)**

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/04639

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H04L 13/08  
G06F 13/00

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H04L 13/08, H04L 12/40, H04L 29/00  
G06F 13/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho(Y1,Y2) 1926-1996 Toroku Jitsuyo Shinan Koho(U) 1994-2000  
Kokai Jitsuyo Shinan Koho(U) 1971-2000 Jitsuyo Shinan Toroku Koho(Y2)1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 10-222440, A (Fujitsu Limited), 21 August, 1998 (21.08.98),	1, 2, 9
Y	Figs. 5, 6 (Family: none)	3
A		4-8, 10-22
Y	JP, 06-069913, A (Fujitsu Limited), 11 March, 1994 (11.03.94), abstract (Family: none)	3
A	JP, 11-017773, A (Sony Corporation), 22 January, 1999 (22.01.99), Par. No.[0033] (Transaction Label (t1)) (Family: none)	1-22
T	JP, 2000-134229, A (Seiko Epson Corporation), 12 May, 2000 (12.05.00), Figs. 12, 13, 16 & WO, 00/25215, A1	1-22
T	JP, 2000-134230, A (Seiko Epson Corporation), 12 May, 2000 (12.05.00), Figs. 12, 14 & WO, 00/25217, A1	1-22



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 13 October, 2000 (13.10.00)	Date of mailing of the international search report 24 October, 2000 (24.10.00)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/04639

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
T	JP, 2000-134232, A (Seiko Epson Corporation), 12 May, 2000 (12.05.00), abstract & WO, 00/25216, A1	1-22
T	JP, 2000-134231, A (Seiko Epson Corporation), 12 May, 2000 (12.05.00) (Family: none)	1-22
T	JP, 2000-134233, A (Seiko Epson Corporation), 12 May, 2000 (12.05.00), Figs. 13 to 20 (Family: none)	1-22
T	JP, 2000-134242, A (Seiko Epson Corporation), 12 May, 2000 (12.05.00), Figs. 13 to 18, 21, 22 (Family: none)	1-22

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H04L 13/08  
G06F 13/00

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H04L 13/08 , H04L 12/40 , H04L 29/00  
G06F 13/00

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 (Y1, Y2) 1926-1996年  
日本国公開実用新案公報 (U) 1971-2000年  
日本国登録実用新案公報 (U) 1994-2000年  
日本国実用新案登録公報 (Y2) 1996-2000年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 10-222440, A(富士通株式会社), 21. 8月. 1998(21. 08. 98), 図5, 図6, (ファミリーなし)	1, 2, 9
Y		3
A		4-8, 10-22
Y	JP, 06-069913, A(富士通株式会社), 11. 3月. 1994(11. 03. 94), 【要約】, (ファミリーなし)	3
A	JP, 11, -017773, A(ソニー株式会社), 22. 1月. 1999(22. 01. 99), 【段落33】 (Transaction Label(t1)), (ファミリーなし)	1-22

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

13. 10. 00

国際調査報告の発送日

24.10.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小林 紀和

5K

4240

電話番号 03-3581-1101 内線 3556

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
T	JP, 2000-134229, A(セイコーエプソン株式会社), 12. 5月. 2000 (12. 05. 00), 図12, 図13, 図16 & W0, 00/25215, A1	1-22
T	JP, 2000-134230, A(セイコーエプソン株式会社), 12. 5月. 2000 (12. 05. 00), 図12, 図14 & W0, 00/25217, A1	1-22
T	JP, 2000-134232, A(セイコーエプソン株式会社), 12. 5月. 2000 (12. 05. 00), 【要約】 & W0, 00/25216, A1	1-22
T	JP, 2000-134231, A(セイコーエプソン株式会社), 12. 5月. 2000 (12. 05. 00), (ファミリーなし)	1-22
T	JP, 2000-134233, A(セイコーエプソン株式会社), 12. 5月. 2000 (12. 05. 00), 図13-20, (ファミリーなし)	1-22
T	JP, 2000-134242, A(セイコーエプソン株式会社), 12. 5月. 2000 (12. 05. 00), 図13-18, 図21, 図22, (ファミリーなし)	1-22

PCT

## 国際調査報告

(法8条、法施行規則第40、41条)  
[PCT18条、PCT規則43、44]

出願人又は代理人 の書類記号 EPPC-2609	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220) 及び下記5を参照すること。	
国際出願番号 PCT/JP00/04639	国際出願日 (日.月.年) 12.07.00	優先日 (日.月.年) 15.07.99
出願人(氏名又は名称) セイコーエプソン株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。  
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

## 1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 10 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

**THIS PAGE BLANK (USPTO)**

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H04L 13/08  
G06F 13/00

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H04L 13/08, H04L 12/40, H04L 29/00  
G06F 13/00

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 (Y1, Y2) 1926-1996年  
日本国公開実用新案公報 (U) 1971-2000年  
日本国登録実用新案公報 (U) 1994-2000年  
日本国実用新案登録公報 (Y2) 1996-2000年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 10-222440, A(富士通株式会社), 21. 8月. 1998(21. 08. 98), 図5, 図6, (ファミリーなし)	1, 2, 9
Y		3
A		4-8, 10-22
Y	JP, 06-069913, A(富士通株式会社), 11. 3月. 1994(11. 03. 94), 【要約】, (ファミリーなし)	3
A	JP, 11, -017773, A(ソニー株式会社), 22. 1月. 1999(22. 01. 99), 【段落33】 (Transaction Label(t1)), (ファミリーなし)	1-22

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

## 国際調査を完了した日

13. 10. 00

## 国際調査報告の発送日

24.10.00

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

## 特許庁審査官 (権限のある職員)

小林 紀和

5 K

4 2 4 0

電話番号 03-3581-1101 内線 3556

**THIS PAGE BLANK (USPTO)**

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
T	JP, 2000-134229, A(セイコーエプソン株式会社), 12. 5月. 2000 (12. 05. 00), 図12, 図13, 図16 & W0, 00/25215, A1	1-22
T	JP, 2000-134230, A(セイコーエプソン株式会社), 12. 5月. 2000 (12. 05. 00), 図12, 図14 & W0, 00/25217, A1	1-22
T	JP, 2000-134232, A(セイコーエプソン株式会社), 12. 5月. 2000 (12. 05. 00), 【要約】 & W0, 00/25216, A1	1-22
T	JP, 2000-134231, A(セイコーエプソン株式会社), 12. 5月. 2000 (12. 05. 00), (ファミリーなし)	1-22
T	JP, 2000-134233, A(セイコーエプソン株式会社), 12. 5月. 2000 (12. 05. 00), 図13-20, (ファミリーなし)	1-22
T	JP, 2000-134242, A(セイコーエプソン株式会社), 12. 5月. 2000 (12. 05. 00), 図13-18, 図21, 図22, (ファミリーなし)	1-22

**THIS PAGE BLANK (USPTO)**

## PCT REQUEST

EPPC-2609

Original (for SUBMISSION) - printed on 15.03.2001 10:53:39 AM

<b>0</b>	<b>For receiving Office use only</b>	
<b>0-1</b>	International Application No.	
<b>0-2</b>	International Filing Date	
<b>0-3</b>	Name of receiving Office and "PCT International Application"	
<b>0-4</b>	<b>Form - PCT/RO/101 PCT Request</b>	
<b>0-4-1</b>	Prepared using	<b>PCT-EASY Version 2.91 (updated 01.01.2001)</b>
<b>0-5</b>	<b>Petition</b> The undersigned requests that the present international application be processed according to the Patent Cooperation Treaty	
<b>0-6</b>	<b>Receiving Office (specified by the applicant)</b>	<b>Japanese Patent Office (RO/JP)</b>
<b>0-7</b>	<b>Applicant's or agent's file reference</b>	<b>EPPC-2609</b>
<b>I</b>	<b>Title of invention</b>	<b>DATA TRANSFER CONTROL DEVICE AND ELECTRONIC EQUIPMENT</b>
<b>II</b>	<b>Applicant</b>	
<b>II-1</b>	This person is:	<b>applicant only</b>
<b>II-2</b>	Applicant for	<b>all designated States except US</b>
<b>II-4</b>	Name	<b>SEIKO EPSON CORPORATION</b>
<b>II-5</b>	Address:	<b>4-1, Nishi-shinjuku 2-chome Shinjuku-ku, Tokyo 163-0811 Japan</b>
<b>II-6</b>	State of nationality	<b>JP</b>
<b>II-7</b>	State of residence	<b>JP</b>
<b>II-8</b>	Telephone No.	<b>03-3348-3114</b>
<b>II-9</b>	Facsimile No.	<b>03-3340-4258</b>
<b>III-1</b>	<b>Applicant and/or inventor</b>	
<b>III-1-1</b>	This person is:	<b>applicant and inventor</b>
<b>III-1-2</b>	Applicant for	<b>US only</b>
<b>III-1-4</b>	Name (LAST, First)	<b>ISHIDA, Takuya</b>
<b>III-1-5</b>	Address:	<b>c/o SEIKO EPSON CORPORATION 3-5, Owa 3-chome Suwa-shi, Nagano 392-8502 Japan</b>
<b>III-1-6</b>	State of nationality	<b>JP</b>
<b>III-1-7</b>	State of residence	<b>JP</b>

**THIS PAGE BLANK (USPTO)**

## PCT REQUEST

EPPC-2609

Original (for SUBMISSION) - printed on 15.03.2001 10:53:39 AM

III-2	<b>Applicant and/or inventor</b>	
III-2-1	This person is:	<b>applicant and inventor</b>
III-2-2	Applicant for	<b>US only</b>
III-2-4	Name (LAST, First)	<b>KAMIHARA, Yoshiyuki</b>
III-2-5	Address:	<b>c/o SEIKO EPSON CORPORATION 3-5, Owa 3-chome Suwa-shi, Nagano 392-8502 Japan</b>
III-2-6	State of nationality	<b>JP</b>
III-2-7	State of residence	<b>JP</b>
IV-1	<b>Agent or common representative; or address for correspondence</b> The person identified below is hereby/has been appointed to act on behalf of the applicant(s) before the competent International Authorities as:	<b>agent</b>
IV-1-1	Name (LAST, First)	<b>INOUE, Hajime</b>
IV-1-2	Address:	<b>2nd Floor, Ogikubo TM Bldg., 26-13, Ogikubo 5-chome Suginami-ku, Tokyo 167-0051 Japan</b>
IV-1-3	Telephone No.	<b>03-5397-0891</b>
IV-1-4	Facsimile No.	<b>03-5397-0893</b>
IV-1-5	e-mail	<b>MXJ00663@nifty.ne.jp</b>
IV-2	<b>Additional agent(s)</b>	<b>additional agent(s) with same address as first named agent</b>
IV-2-1	Name(s)	<b>FUSE, Yukio; OFUCHI, Michie</b>
V	<b>Designation of States</b>	
V-1	Regional Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	<b>EP: AT BE CH&amp;LI CY DE DK ES FI FR GB GR IE IT LU MC NL PT SE and any other State which is a Contracting State of the European Patent Convention and of the PCT (except TR)</b>
V-2	National Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	<b>CN KR US</b>

**THIS PAGE BLANK (USPTO)**

## PCT REQUEST

EPPC-2609

Original (for SUBMISSION) - printed on 15.03.2001 10:53:39 AM

<b>V-5</b>	<b>Precautionary Designation Statement</b> In addition to the designations made under items V-1, V-2 and V-3, the applicant also makes under Rule 4.9(b) all designations which would be permitted under the PCT except any designation(s) of the State(s) indicated under item V-6 below. The applicant declares that those additional designations are subject to confirmation and that any designation which is not confirmed before the expiration of 15 months from the priority date is to be regarded as withdrawn by the applicant at the expiration of that time limit.		
<b>V-6</b>	<b>Exclusion(s) from precautionary designations</b>	<b>NONE</b>	
<b>VI-1</b>	<b>Priority claim of earlier national application</b>		
VI-1-1	Filing date	<b>15 July 1999 (15.07.1999)</b>	
VI-1-2	Number	<b>11-201250</b>	
VI-1-3	Country	<b>JP</b>	
<b>VII-1</b>	<b>International Searching Authority Chosen</b>	<b>Japanese Patent Office (JPO) (ISA/JP)</b>	
<b>VIII</b>	<b>Check list</b>	<b>number of sheets</b>	<b>electronic file(s) attached</b>
VIII-1	Request	<b>4</b>	<b>-</b>
VIII-2	Description	<b>35</b>	<b>-</b>
VIII-3	Claims	<b>5</b>	<b>-</b>
VIII-4	Abstract	<b>1</b>	<b>-</b>
VIII-5	Drawings	<b>25</b>	<b>-</b>
VIII-7	<b>TOTAL</b>	<b>70</b>	
	<b>Accompanying items</b>	<b>paper document(s) attached</b>	<b>electronic file(s) attached</b>
VIII-8	Fee calculation sheet	<b>✓</b>	<b>-</b>
VIII-16	PCT-EASY diskette	<b>-</b>	<b>diskette</b>
VIII-18	Figure of the drawings which should accompany the abstract	<b>&lt;no.&gt;</b>	
VIII-19	Language of filing of the international application	<b>Japanese</b>	
<b>IX</b>	<b>Signature of applicant or agent</b>		
IX-1	Name (LAST, First)		
IX-2	Capacity		

## FOR RECEIVING OFFICE USE ONLY

<b>10-1</b>	<b>Date of actual receipt of the purported international application</b>	
<b>10-2</b>	<b>Drawings:</b>	
10-2-1	Received	
10-2-2	Not received	
<b>10-3</b>	<b>Corrected date of actual receipt due to later but timely received papers or drawings completing the purported international application</b>	

**THIS PAGE BLANK (USPTO)**

**PCT REQUEST**

EPPC-2609

Original (for **SUBMISSION**) - printed on 15.03.2001 10:53:39 AM

10-4	Date of timely receipt of the required corrections under PCT Article 11(2)	
10-5	International Searching Authority	<b>ISA/JP</b>
10-6	Transmittal of search copy delayed until search fee is paid	

**FOR INTERNATIONAL BUREAU USE ONLY**

11-1	Date of receipt of the record copy by the International Bureau	
------	--	--

**THIS PAGE BLANK (USPTO)**